

# SEMICONDUCTOR INTEGRATED CIRCUIT

**Publication number:** JP2001156275

**Publication date:** 2001-06-08

**Inventor:** KAMIGAKI YOSHIAKI; MINAMI SHINICHI; KATAYAMA KOZO; KATO MASATAKA

**Applicant:** HITACHI LTD

**Classification:**

**- international:** *G11C11/56; G11C16/02; G11C16/04; H01L21/8246; H01L21/8247; H01L27/10; H01L27/115; H01L29/788; H01L29/792; G11C11/56; G11C16/02; G11C16/04; H01L21/70; H01L27/10; H01L27/115; H01L29/66; (IPC1-7): H01L27/115; G11C16/04; H01L21/8247; H01L27/10; H01L29/788*

**- european:** G11C11/56M; G11C16/04M2; H01L21/8246T; H01L27/115; H01L29/788C; H01L29/792B

**Application number:** JP20000083246 20000321

**Priority number(s):** JP20000083246 20000321; JP19990263154 19990917; JP19990263155 19990917

**Also published as:**



EP1085519 (A1)

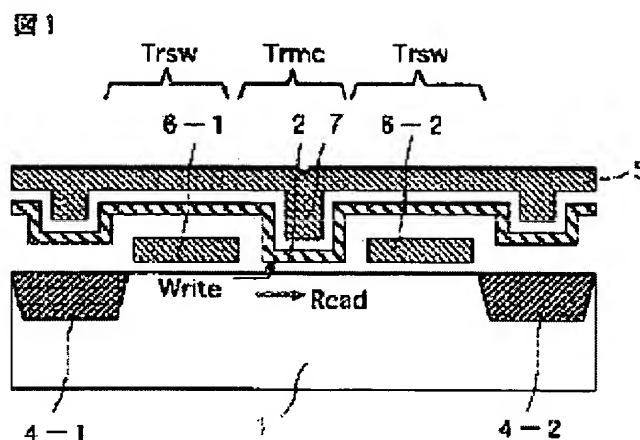
US6531735 (B1)

EP1085519 (B1)

**Report a data error here**

## Abstract of JP2001156275

**PROBLEM TO BE SOLVED:** To provide a large-integration, high-speed, and reliable multi-storage- type non-volatile memory. **SOLUTION:** In the semiconductor integrated circuit, a memory transistor (Trmc) having a gate-insulating film 2 discretely including a trap and a memory gate electrode 7 is provided, and switch transistors (Trsw) having switch gates 6-1 and 6-2 are provided at both the side of the memory transistor. The gate-insulating film 2 discretely including the trap has a discrete trap for storing information charge, carriers can be locally injected, and one memory cell forms a multi-storage cell for accumulating information of at least two bits. The switch transistor (Trsw) having the switching gate electrodes achieves a source side injection system. The memory transistor is formed in self-alignment manner with it. The memory gate electrode 7 of the memory transistor is connected to a word line 5, and erasure in word line units can be made.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156275

(P2001-156275A)

(43) 公開日 平成13年6月8日(2001.6.8)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テームト* (参考) |           |
|---------------------------|-------|---------------|------------|-----------|
| H 0 1 L 27/115            |       | H 0 1 L 27/10 | 4 8 1      | 5 B 0 2 5 |
| G 1 1 C 16/04             |       |               | 4 3 4      | 5 F 0 0 1 |
| 16/02                     |       | G 1 1 C 17/00 | 6 2 1 A    | 5 F 0 8 3 |
| H 0 1 L 27/10             | 4 8 1 |               | 6 2 3 Z    | 5 F 1 0 1 |
| 21/8247                   |       |               | 6 4 1      |           |

審査請求 未請求 請求項の数10 O L (全 39 頁) 最終頁に続く

(21) 出願番号 特願2000-83246(P2000-83246)

(22) 出願日 平成12年3月21日(2000.3.21)

(31) 優先権主張番号 特願平11-263154

(32) 優先日 平成11年9月17日(1999.9.17)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-263155

(32) 優先日 平成11年9月17日(1999.9.17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 神垣 良昭

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 南 眞一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

最終頁に続く

(54) 【発明の名称】 半導体集積回路

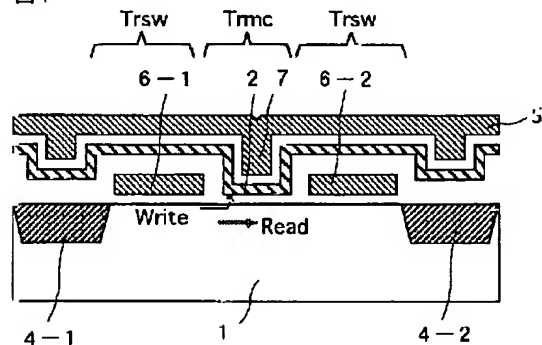
(57) 【要約】

【課題】 高集積、高速、高信頼なマルチストレージ形態の不揮発性メモリを提供する。

【解決手段】 離散的にトラップを含むゲート絶縁膜

(2) 及びメモリゲート電極(7)を有するメモリトランジスタ部(T<sub>rmc</sub>)を有し、その両側に、スイッチゲート電極(6-1、6-2)を備えたスイッチトランジスタ部(T<sub>rs</sub>w)を備える。離散的にトラップを含むゲート絶縁膜2は情報電荷を蓄えるための離散的トラップを持ち、局所的なキャリアの注入が可能であり、1個のメモリセルは少なくとも2ビット分の情報を蓄積するマルチストレージセルを成す。スイッチゲート電極を備えたスイッチトランジスタ部(T<sub>rs</sub>w)はソースサイド注入方式を実現する。メモリトランジスタ部はそれと自己整合的に形成される。メモリトランジスタ部のメモリゲート電極(7)はワード線(5)に接続され、ワード線単位での消去が可能にされる。

図1



## 【特許請求の範囲】

【請求項1】 1個のメモリセルが、1個のメモリトランジスタ部と、2個のスイッチトランジスタ部と、2個の拡散層配線とから成るメモリセル構造の不揮発性メモリを有する半導体集積回路であって、前記メモリトランジスタ部は離散的にトラップを含むゲート絶縁膜と、ワード線に接続するメモリゲート電極とを有し、前記2個の拡散層配線はソース線及びビット線をなし、前記2個のスイッチトランジスタ部のスイッチゲート電極が前記ソース線及びビット線に沿って延在されて成るものであることを特徴とする半導体集積回路。

【請求項2】 拡散層配線を共有するスイッチトランジスタ部のゲート電極が共通接続されて成るものであることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記スイッチトランジスタ部のゲート電極は最小光加工寸法よりも小さい幅を有して成るものであることを特徴とする請求項1又は2記載の半導体集積回路。

【請求項4】 1個のメモリセルが、1個のメモリトランジスタ部と、2個のスイッチトランジスタ部と、2個のトランジスタ反転層配線とから成るメモリセル構造の不揮発性メモリを有する半導体集積回路であって、前記メモリトランジスタ部は離散的にトラップを含むゲート絶縁膜と、ワード線に接続するメモリゲート電極とを有し、前記2個のトランジスタ反転層配線はソース線及びビット線をなし、前記2個のスイッチトランジスタ部と前記ソース線およびビット線をなす2つのトランジスタ反転層配線とがそれぞれ互いにゲート電極を共有して成るものであることを特徴とする半導体集積回路。

【請求項5】 1個のメモリセルが、1個のメモリトランジスタ部と、1個のスイッチトランジスタ部と、1個のトランジスタ反転層配線と、1個の拡散層配線とからなるメモリセル構造の不揮発性メモリを有する半導体集積回路であって、前記メモリトランジスタ部は離散的にトラップを含むゲート絶縁膜と、ワード線に接続するメモリゲート電極とを有し、前記1個のトランジスタ反転層配線はソース線をなし、前記1個の拡散層配線はビット線をなし、前記1個のスイッチトランジスタ部と前記ソース線をなす1個のトランジスタ反転層配線が互いにゲート電極を共有して成るものであることを特徴とする半導体集積回路。

【請求項6】 前記スイッチトランジスタ部のチャネルからメモリトランジスタ部のチャネルに導入されたキャリアを加速して離散的にトラップを含むゲート絶縁膜に注入して書込みを行なう制御回路を有して成るものであることを特徴とする請求項1乃至5の何れか1項記載の半導体集積回路。

【請求項7】 前記離散的にトラップを含むゲート絶縁膜が保持しているキャリアをワード線に引き抜いて消去を行なう制御回路を有して成るものであることを特徴と

する請求項6記載の半導体集積回路。

【請求項8】 1個のメモリセルが、2個のメモリトランジスタ部と、1個のスイッチトランジスタ部と、2個の拡散層配線とからなるメモリセル構造の不揮発性メモリを有する半導体集積回路であって、前記メモリトランジスタ部は離散的にトラップを含むゲート絶縁膜と、ワード線に接続するメモリゲート電極とを有し、前記2個の拡散層配線がソース線およびビット線をなし、かつ前記1個のスイッチトランジスタ部のスイッチゲート電極が前記ソース線及びビット線に沿って延在されて成るものであることを特徴とする半導体集積回路。

【請求項9】 前記メモリトランジスタ部のメモリゲート電極は最小光加工寸法よりも小さい幅を有して成るものであることを特徴とする請求項8記載の半導体集積回路。

【請求項10】 前記離散的にトラップを含むゲート絶縁膜はシリコンナイトライド膜から成るものであることを特徴とする請求項1乃至9の何れか1項記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、1個のメモリセルトランジスタが少なくとも2ビット分の情報を蓄積できるマルチストレージ形態の不揮発性記憶素子を有する不揮発性半導体メモリ装置、更には前記不揮発性半導体メモリ装置を内蔵したマイクロコンピュータ等の、半導体集積回路に関する。

## 【0002】

【従来の技術】不揮発性記憶素子を有する不揮発性半導体メモリ装置は、バイト単位に電氣的書き換え可能なEEPROM (Electrically Erasable and Programmable ReadOnly Memory)、および一括消去型のフラッシュメモリが代表的である。

【0003】いずれの不揮発性半導体メモリ装置も電力の供給なしにメモリ情報を保持できる点から、容易に持ち運びが可能なメモリカード、および遠隔操作が可能な装置などに使われ、装置稼働の初期設定として不揮発に記憶しておくデータストレージ、プログラムストレージなどの役割をする。

【0004】不揮発性半導体メモリ装置は計算機、通信機器、制御装置、OA機器、民生機器などの分野に広く使用されているが、とくに最近ではポータブルな通信機器、銀行端末等のICカード、カメラの映像記憶用メディア等に応用され、それら市場の拡大、システムの発展につれ、さらに高速書き換え、高集積、かつ高機能が求められている。

【0005】従来の不揮発性半導体メモリ装置すなわちEEPROMとフラッシュメモリを相互に比較する。

【0006】EEPROMは、メモリセルがMNOS等のメモリトランジスタとスイッチトランジスタの2トラ

ンジスタから構成される場合が多く、高集積向きではないが高機能向きである。一方フラッシュメモリは、メモリセルがメモリトランジスタの1トランジスタのみから構成され、高機能向きではないが高集積向きである。というようにEEPROMとフラッシュメモリはその構造上から棲み分けされてきていると言える。

【0007】なお書き換えスピードをみると、EEPROMおよびフラッシュメモリとも、従来の書き込み時間は、トンネル書き込みあるいはホットキャリア書き込みのいずれかの方式を採用して、何れもミリ秒(msec)程度を要している。この書き換えスピードは、CPU(中央演算装置)のナノ秒(nsec)程度の処理速度に比べて桁違いに長い動作時間となっている。

【0008】本発明が提供するメモリセルの説明に先立ち、本発明者が検討したところの本発明の主旨と同じ方向を目指すメモリセルがすでに提案されているので、そのメモリセル構造に対応するメモリセル構造を図3乃至図5に、およびメモリセルアレイの動作バイアスを図6乃至図9に示す。図3乃至図5に示すメモリセルの構造は、1998年12月の半導体表面専門家会議(Semiconductor Interface Specialist Conference: SISC, San Diego)の招待講演にて、Nissan-Cohen博士が提示されたがドキュメントとして一般には残されていない。このメモリセルの構造は、1999年9月の固体素子国際会議(International Conference on Solid State Devices and Materials: SSDM, Tokyo)の招待講演にてBoaz Eitan博士が、その全容を一般へ向けて明らかにしており、NROMと呼ばれている。

【0009】本メモリの原理と動作を述べると、本メモリは離散的トラップをゲート絶縁膜にもつ1トランジスタ型の不揮発性半導体メモリから成って、書き込みはドレイン端でのいわゆるホットキャリア注入にて離散的トラップに局所的に書き込み、書き込みによってトラップされた電荷をトランジスタのソース側として読み出す方式である。すなわち書き込みと読み出しでは、図3に示すようにメモリトランジスタに流す電流の向きを逆とする(Reverse read)。即ち、書き込みと読み出しではソース線とビット線の機能を入れ換えて動作させる。また図4に示すように離散的トラップに局所的に書き込むことからメモリトランジスタのチャンネル内において、もう一方の端をまったく同様にメモリ機能をもたせることが可能である。すなわちメモリトランジスタの動作方向をまったく逆に入れ換え、もう一つの情報を蓄える。いわゆる2ビット/1トランジスタ型の高集積メモリセルが実現する。離散的トラップをもつゲート絶縁膜の材料として、今日明白であるのは、シリコンナイトライド膜である。図5に示すようにこのメモリトランジスタからなるセルは、最小加工寸法をFとして表わすと、1トランジスタ当たりは4F<sup>2</sup>乗であるが、1ビット当たりは2F<sup>2</sup>乗

とみなすことができる。従来の高集積向きといわれるフラッシュメモリが1ビット当たり6F<sup>2</sup>乗から10F<sup>2</sup>乗であることに比べると、飛躍的な高集積化を実現していると言える。

【0010】また図6乃至図9に、メモリセルアレイとその消去、書き込み、読み出しの動作バイアスを示す。

【0011】消去については、ワード単位のページ消去を図6に、ブロック単位のチップ消去を図7に示す。消去は、ビット線拡散層に高電位の8Vを印加し、いわゆるBand-to-band tunnelingを引き起こして、ホールを注入する。図6および図7では、片方のチャネル端のみを消去する様子を示したが、チャネルの両端を同時に消去することも可能である。

【0012】書き込みを図8に示す。チャネル内でホットになったキャリア(電子)がドレイン端でゲート方向に飛び込み、ゲート絶縁膜中の離散的トラップに捕獲される。このとき電子の飛び込む領域はごく一部であり、検出に必要な電荷量は、導体ポリシリコンのフローティングゲートを電荷蓄積部としてゲート絶縁膜中にもつ従来のフラッシュに比べて100分の1程度で済み、書き換え時間の短縮につながる。したがってホットキャリア注入であっても高速書き換えが実現し、しかも書き換えによる絶縁膜劣化が注入電荷量が少ない分低減し、しかも仮に絶縁膜劣化が引き起こしたとしてもその部分の空間的な離散的トラップから電荷がもれるのみで、蓄積電荷量の大勢に影響が少ない。したがって書き換えによるデータ保持特性は減衰を受け難くなり、不揮発性メモリの高信頼性につながる。

【0013】次に、読み出しを図9に示す。読み出しは書き込みの有無によるチャネル電流の量を検出することになるが、トランジスタのチャネル電流量はソース端にて律則される。結局、書き込みの有無の検出には、検出すべき側をソース端として読み取るのがもっとも感度が高いので、読み出しの電流方向を、書き込みと逆向きとするreverse readが望ましいことになる。

【0014】なおこの1トランジスタ型の不揮発性半導体メモリに、2ビット分の情報を蓄え、動作方向を互いに逆向きとしてチャネル両端の書き込みの有無を検出する場合において、2ビット分の信号を識別する読み出しマージンが課題となる。読み出し時に、信号の"1"、"0"判定は電流の大小にて判別する電流検出方式を採用すること、およびもう片方のビット情報が検出電流に干渉することがあって信号検出のマージンを狭めるということは免れない。このマージンを解析した報告が、Martino Lorenzini他、"A Dual Gate Flash EEPROM Cell with Two-Bit Storage Capacity" IEEE Transactions on Components, Packaging, and Manufacturing Technology Part A, vol. 20, p182 (1997)に見られている。

【0015】書き込みについて、チャネルホットエレクトロンによりドレインサイドのゲート絶縁膜中の離散的

トラップに電荷を注入する方式を図8に述べたが、別の方法としてソースサイドのゲート絶縁膜中の離散的トラップに電荷を注入する方式を述べておく。ナイトライド膜内の離散的トラップにキャリア電荷をソースサイド注入 (Source side injection; SSI) により書込む例が、Kuo-Tung Chang他、"A New SONOS Memory Using Source-Side Injection for Programming" IEEE Electron Device Letters, vol. 19, p253(1998)に見られる。そのデバイスの断面構造を図10に示す。

【0016】ここでは、選択トランジスタのゲート電極サイドにメモリトランジスタをサイドウォールゲート技術により形成した構造をしている。選択トランジスタのチャネル内をドレイン電圧5Vによって加速され発生したホットキャリアが、メモリトランジスタのチャネル内に飛び込んだ瞬間に、メモリトランジスタのソースサイドにてゲート側への高電界(12V)を感じて、ゲート電極方向に飛び込み、ゲート絶縁膜中の離散的トラップに捕獲されるという動作をする。このとき選択トランジスタのゲート電位は、しきい値より少し高め(1V)に設定し、チャネル電流は低電流の飽和領域にある。この低電流のしぼられたホットキャリアが効率よくゲート絶縁膜中の離散的トラップに捕獲されることになる。書き込みに必要なチャネル電流量を、チャネルホットエレクトロンによるドレインサイド注入にくらべると、このソースサイド注入方式は30分の1程度で済む。したがって、それだけ書き込み時間の短縮、あるいは書き換え回数の増大など信頼性の向上につながり、このソースサイド注入による書き込み方式は有効となる。課題は、選択トランジスタ(スイッチトランジスタ)をメモリセル内に組み込む必要があるが、いかにセル面積の増大を抑制するかである。

【0017】さて、本願発明に関係して、選択トランジスタ(スイッチトランジスタ)をメモリセル内に組み込む、高集積なメモリセルの例について述べる。1セルが双方向の動作によって2ビットの情報を持つことが可能で、図11に示すような1セルが2つのメモリトランジスタと1つのスイッチトランジスタと2つの拡散層配線とを有する2ビット/セル型の高集積不揮発性半導体メモリ装置について述べる。この図11に例示されるようなメモリセル(DSGセル)構造は、1994年の国際電子素子会議(International Electron Device Meeting)のプロシーディング: IEDM 94, p57-60, Yale Ma et al. "A Dual-Bit Split-Gate EEPROM(DSG) Cell in Contactless Array for Single-Vcc High Density Flash Memories" において明らかとなっている。

【0018】図11に示した2ビット/セル型の高集積不揮発性半導体メモリ装置(DSGセル)は、シリコン基板1上に、ポリシリコンフローティングゲート電極2-1、2-2とコントロールゲート電極3-1、3-2とを有する2個のメモリセルトランジスタが形成され、

その外側にソース線/ビット線に接続される拡散層4-1、4-2が形成され、前記2個のメモリセルトランジスタの間にワード線5に接続されるスイッチゲート電極8を有するスイッチトランジスタが形成される。前記2個のメモリトランジスタは前記1個のスイッチトランジスタを共有し、このスイッチトランジスタは、2つのメモリトランジスタ間に自己整合的に形成され、面積の増加をもたらさない用に考慮されている。配線用コンタクト孔をメモリセルアレイ内に持たない構造であり、この2ビット/セルはビット当たり自己整合的な1.5トランジスタ構成の高集積を実現している。

【0019】本2ビット/セル型の高集積不揮発性半導体メモリ装置(DSGセル)は、図11の1セル内の2ビットのメモリに書き込みと読み出しを行う場合、チャネルに流れる電流の向きは2ビットはお互いに逆向となる。2ビットのメモリ情報の蓄積は別々のメモリトランジスタになされている。すなわち1セル内の2ビットのメモリ動作は、逆向きに対称的になされる。書き込みはホットキャリア書き込み方式をとるが、従来のチャネル方向以外に、スイッチトランジスタのはたらきによりゲート方向も高電界となり、いわゆるソースサイド注入方式による書き込みによって高速化を実現している。

【0020】また本2ビット/セル型の高集積不揮発性半導体メモリ装置(DSGセル)の消去は、図11のゲート電極3-1、3-2と平行に走っているビット線、ソース線用の拡散層4-1、4-2との間にかかる高電界によってフローティングゲート電極2'-1、2'-2から電子を引き抜く方式がとられる。そのため図11に示されたメモリセルは、ビット線に沿ってメモリセルはすべてが消去されることとなる。この状況は、メモリセルアレイにおける選択セルと非選択セルへのバイアス関係を示した図12から明らかである。すなわち、ビット線1列の両側に沿うメモリトランジスタ(A1、C1、B1、D1)の消去がすべて同時に実行され、ビット単位あるいはバイト単位の書き換えは不可であり、ブロック単位の消去が行われることになる。

【0021】

【発明が解決しようとする課題】ところで、図3から図5に示したメモリセル(NROM)では、飛躍的な集積度を提案しており、書き込み電荷量もゲート絶縁膜中の離散的トラップを用いていることから、従来の100分の1程度にて済んでいるが、書き込みはチャネルホットキャリア注入方式であり、書き込み電流は、ソースサイド注入方式にくらべて30倍程度を要する。また読み出しが累積するにつれ、非選択セルにデイスターブがかかることになり、信号マージンの劣化となりやすい。さらに、図6から図9に示したメモリセルアレイのバイアス関係から理解できるように、ソース線とビット線を入れ換えて動作させる仮想接地(virtual ground)方式であるので、とくに読み出し時に、所定のチャネルを通じて検出

されるチャネル電流以外に、半導体表面を伝わる表面電流までも検出してしまふ虞がある。

【0022】図10には、ゲート絶縁膜中に離散的トラップを用いるソースサイド注入方式のメモリトランジスタを示したが、ソース/ドレインが固定された片方向動作方式であることまでは示されているが、実際のメモリセルアレイの構成が明かとされていない。

【0023】図11および図12に示したメモリセル(DSG)では、従来の技術にてすでに述べたようにメモリトランジスタのゲート電極とソース線/ビット線が平行に走っているため、ワード線単位の消去が不可能である。また、蓄積部としての導体のフローティングゲート電極2'-1、2'-2は他のメモリセルとは独立した電極から成っている。

【0024】さらに、図11のメモリセルは、フローティングゲート電極2'-1、2'-2を覆うようにメモリトランジスタのゲート電極3-1、3-2が配線されている。そのため、ゲート電極上を横切るワード線5とフローティングゲート電極2'-1、2'-2の加工は自己整合的な重ね切りによる加工ができない。そのため、重なるべきフローティングゲート電極2'-1、2'-2とワード線5との加工には、加工合わせが必要となり、その合わせ余裕分の面積が増大する。最小加工寸法Fにて表わすと、図11のメモリセルではビット当たりのセル面積が、合わせ余裕分の面積増の結果5・4F2乗になると報告されている。図11のメモリセルは、高集積を実現しているとは言え、加工上合わせを必要としない場合の4F2乗に比べると35%の面積増大となっている。

【0025】本発明の目的は、所定のチャネルを通じて検出されるチャネル電流以外の表面電流を検出する虞の少な不揮発性メモリを有する半導体集積回路を提供することにある。

【0026】本発明の別の目的は、マルチストレージ形態の不揮発性メモリセルに対しワード線単位の消去を可能にすることにある。

【0027】本発明の更に別の目的は、チップ面積の増大を抑えてマルチストレージ形態の不揮発性記憶素子を実現できる半導体集積回路を提供することにある。

【0028】本発明は、高集積、高速、高信頼な不揮発性半導体メモリを有する半導体集積回路を提供しようとするものである。

【0029】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0030】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0031】すなわち、本発明は離散的にトラップを含

むゲート絶縁膜を用い、局所的な書込みによって1個のメモリトランジスタ部は、少なくとも2ビット分の情報を蓄積できるマルチストレージ(multi-storage)セルをなし、蓄積電荷量を導体のフローティングゲート電極よりも飛躍的に少なくする。

【0032】書込みは、少なくともソースサイド注入方式にて行い、書込みの効率をチャネルホットエレクトロンのドレインサイド注入方式よりも高め、書込みに必要なチャネル電流の低減をはかり、書込み可能なビット数を増大させ、しいてはチップ書き込み時間の短縮、書込え回数の増大をはかる。

【0033】ソースサイド注入方式を実現するのに必要なスイッチトランジスタ部を、メモリセル内にメモリトランジスタと自己整合的に形成し、面積の増大を抑制する。また、このスイッチトランジスタ部の配線を工夫して、仮想接地に起因して流れる表面リーク電流がソース線/ビット線に流れ込むのを遮断する。

【0034】メモリトランジスタのゲート電極はワード線と接続することにより、少なくともワード単位の書き換えを可能とする。

【0035】メモリトランジスタ部とスイッチトランジスタ部とからなるメモリセルにおいて、ソースサイド注入にて書込んだ蓄積電荷の保持特性を確保し、しかも消去を可能とする1つの方法として、蓄積電荷をメモリトランジスタ部のメモリゲート電極側すなわちワード線側へ引き抜く方式をとる。そのために、離散的トラップをもつゲート絶縁膜たとえばナイトライド膜の上下に設けるシリコン酸化膜の厚さについて、下部の酸化膜を上部の酸化膜よりも厚く設けるようにする。

【0036】ここで本発明によるメモリセルの数種類の構造を列挙する。第1のメモリセル構造は、1個のメモリセルが、1個のメモリトランジスタ部と、2個のスイッチトランジスタ部と、2個の拡散層配線とから成る構造を有する。前記メモリトランジスタ部は離散的にトラップを含むゲート絶縁膜と、ワード線に接続するメモリゲート電極とを有し、前記2個の拡散層配線はソース線及びビット線をなし、前記2個のスイッチトランジスタ部のスイッチゲート電極が前記ソース線及びビット線に沿って延在される。

【0037】第2のメモリセル構造は、1個のメモリセルが、1個のメモリトランジスタ部と、2個のスイッチトランジスタ部と、2個のトランジスタ反転層配線とから成る構造を有する。前記メモリトランジスタ部は離散的にトラップを含むゲート絶縁膜と、ワード線に接続するメモリゲート電極とを有し、前記2個のトランジスタ反転層配線はソース線及びビット線をなし、前記2個のスイッチトランジスタ部と前記ソース線およびビット線をなす2つのトランジスタ反転層配線とがそれぞれ互いにゲート電極を共有する。

【0038】第3のメモリセル構造は、1個のメモリセ

ルが、1個のメモリトランジスタ部と、1個のスイッチトランジスタ部と、1個のトランジスタ反転層配線と、1個の拡散層配線とからなる構造を有する。前記メモリトランジスタは離散的にトラップを含むゲート絶縁膜と、ワード線に接続するメモリゲート電極とを有し、前記1個のトランジスタ反転層配線はソース線をなし、前記1個の拡散層配線はビット線をなし、前記1個のスイッチトランジスタ部と前記ソース線をなす1個のトランジスタ反転層配線が互いにゲート電極を共有する。

【0039】第4のメモリセル構造は、1個のメモリセルが、2個のメモリトランジスタ部と、1個のスイッチトランジスタ部と、2個の拡散層配線とからなる構造を有する。前記メモリトランジスタ部は離散的にトラップを含むゲート絶縁膜と、ワード線に接続するメモリゲート電極とを有し、前記2個の拡散層配線がソース線およびビット線をなし、かつ前記1個のスイッチトランジスタ部のスイッチゲート電極が前記ソース線及びビット線に沿って延在される。

【0040】

【発明の実施の形態】本発明に係る半導体集積回路が採用する不揮発性メモリセルの基本的な形態は、図1に例示され、離散的にトラップを含むゲート絶縁膜2及びメモリゲート電極（コントロールゲート電極とも記す）7を有するメモリトランジスタ部Trmcを有し、その両側に、スイッチゲート電極6-1、6-2を備えた選択トランジスタ（スイッチトランジスタ）部Trswを備えて構成される。このメモリセルは、情報電荷を蓄える蓄積部としての離散的にトラップを含むゲート絶縁膜2に、局所的な書き込みを行い、1メモリセルは少なくとも2ビット分の情報を蓄積するマルチストレージ(multi-storage)セルをなす。メモリセルは、ソースサイド注入方式を実現するためにスイッチゲート電極6-1、6-2を備えたスイッチトランジスタ部Trswを有し、メモリトランジスタ部Trmcはそれと自己整合的に形成される。メモリトランジスタ部Trmcのメモリゲート電極7はワード線5に接続する。

【0041】図2には半導体集積回路が採用する不揮発性メモリセルの別の基本的な形態を示す。図2に例示される構造のメモリセルは、基板1上に、スイッチゲート電極6を備えた選択トランジスタ（スイッチトランジスタ）部Trswを有し、その両側に、離散的にトラップを含むゲート絶縁膜2-1、2-2とメモリゲート電極7-1、7-2を持つメモリセルトランジスタ部Trmcが形成され、その外側にソース線/ビット線に接続される拡散層4-1、4-2が形成される。この構造においては、少なくとも2個のメモリトランジスタ部Trmcのメモリゲート電極7-1、7-2はワード線5と接続することにより、ワード単位の書き換えが可能にされる。

【0042】以上が本発明の基本的骨子であるが、以下

に発明の実施の形態として、実施例を述べる。なお、便宜上、本発明が提供する不揮発性半導体メモリをS(Super)EEPROMと呼び、その基本型、改良型、拡張型、および変形型についての複数の実施例は、番号付けと付加文字によって発明の実施の形態の中で区別する。

【0043】《不揮発性半導体メモリ装置》図13を用いて、不揮発性半導体メモリ装置のブロック構成を説明する。不揮発性半導体メモリ装置は、メモリセルがマトリクス配置されたメモリアレイ部51を有する。メモリセルアレイ部51に配置されたメモリセルは、例えば、ソース電極、ドレイン電極が列毎にデータ線が接続され、スイッチゲート電極が列毎にスイッチゲート制御線に配置され、メモリゲート電極が行毎にワード線に接続される。メモリアレイ部51の前記データ線は、一方においてデータロードラッチ回路52に接続され、他方においてYゲートセンスアンプ部53に接続される。Yゲートセンスアンプ部53はアドレスバッファ57に受けたYアドレス（カラムアドレス）をYデコード56でデコードし、これによって形成された選択信号でYゲートセンスアンプ部53のデータ線を選択させ、選択されたデータ線と入出力バッファ回路54との間でデータの入出力が可能にされる。また、ワード線及びスイッチゲート制御線はワード/スイッチデコーダ55に接続される。ワード/スイッチデコーダ55はアドレスバッファ57で入力したアドレスをデコードし、そのデコード結果などを用いてワード線及びスイッチ制御線選択信号を生成する。またチップ選択、読み出しモード、書き込みモード、消去モードは、モード制御回路58が外部からのコマンド若しくはストロブ信号の状態にしたがって制御する。このとき書き込みあるいは消去モードでは、電源回路59から高電圧昇圧回路60を通して書き込みや消去のプログラムに要する高電圧を発生させる。ノイズなどの不慮の誤動作によって高電圧が発生しデータが破壊されないように、データ保護回路61を通して、データロードタイミングコントローラ62および消去制御回路63に必要な高電圧が与えられる。消去制御回路63はモード制御回路58による消去選択の指示にตอบสนองして消去動作を開始させる。書き込みデータは入出力バッファ54からデータロードラッチ52にラッチされ、データロードタイミングコントローラ62による書き込みタイミングに同期してデータロードラッチ52からメモリアレイ51に書き込みデータが供給される。データロードタイミングコントローラ62はビット線とソース線の切り換えを内部タイミングにしたがって行なう。書き込み消去のプログラムに要する時間は、マイクロコンピュータ（マイコンとも称する）のクロック周波数にくらべると桁違いに大きい。このようなとき、不揮発性半導体メモリ装置はマイコンとバスが切り離され、マイコンに対して不揮発性半導体メモリに対するのとは別の制御動作を許容できるようにするために、不揮発性半導体メモリ内部の制御で行



われる書込み・消去動作の終了は書込み・消去検知回路64によって外部に与えられるようになっている。要するに、レディー／ビジー信号を外部の出力可能になっている。マイコンは、レディー／ビジー信号により不揮発性半導体メモリがレディー状態になったとき、アクセス制御を行えばよい。

【0044】《メモリセルの第1形態》マルチストーリー形態の不揮発性メモリセルの第1形態として、書き込み時間の高速化、読み出しディスタブ、および双方向信号読み出しマージンの拡大を解決するために、メモリトランジスタT<sub>rmc</sub>部の両サイドにスイッチトランジスタ部T<sub>rs</sub>wを設けたようなメモリセル構造を採用する。両サイドにスイッチトランジスタ部T<sub>rs</sub>wを設けることにより、集積度の低下はある程度犠牲にせざるを得ないが、自己整合技術を用いることにより集積度低下を抑制する構造を図14乃至図16に例示する。尚、本明細書においてトランジスタ部の語は本発明に係るマルチストーリー形態の不揮発性メモリセルの構造を理解し易く表現するために用いる便宜的表現であり、完全なトランジスタを意味せず、ゲート構造に着目した表現と理解されたい。

【0045】図14乃至図16に示されるメモリセルは、基板1上に、離散的にトラップを含むゲート絶縁膜2とメモリゲート電極7とを持つメモリトランジスタ部T<sub>rmc</sub>を有する。前記離散的にトラップを含むゲート絶縁膜2はたとえばシリコンナイトライド膜によって構成される。メモリトランジスタ部T<sub>rmc</sub>の両側にスイッチゲート電極6-1、6-2を備えたスイッチトランジスタ部T<sub>rs</sub>w、T<sub>rs</sub>wが形成され、その外側にソース線／ビット線に接続される拡散層4-1、4-2が形成される。即ち、そのメモリセルは、両サイドのスイッチトランジスタ部T<sub>rs</sub>w、T<sub>rs</sub>wの間にメモリトランジスタ部T<sub>rmc</sub>が埋め込まれ、外側にビット線／ソース線を構成する拡散層4-1、4-2が形成される。このメモリセル構造において、隣のセルとはビット線／ソース線を共有する。このことから図16に示すように1個のメモリセルの面積は8F<sup>2</sup>乗となるが、2ビット分の情報を蓄えるので、1ビット当たりは4F<sup>2</sup>乗とみなすことができる。従来のEEPROMおよびフラッシュメモリのうち最小のメモリセル構造は6F<sup>2</sup>乗程度であるから、それに比べると、図14乃至図16に例示されるメモリセルのサイズは小さくされている。

【0046】書き込み動作について説明すると、いわゆるソースサイドインジェクションという方式を採り、マイクロ秒(μsec)程度と大幅な書き込み高速化を実現している。この高速化の理由は、書き込み時に最初のスイッチトランジスタ部T<sub>rs</sub>wの絞られたチャネルをキャリアが通過するとき加速されてエネルギーが高められ、つづいてメモリトランジスタ部T<sub>rmc</sub>のチャネルに飛び込んだキャリアはさらにメモリトランジスタ部T

rmcに印加されている高バイアスをメモリゲート電極7方向に感じて、どんどん前記離散的にトラップを含むゲート絶縁膜2に飛び込んで行き、離散的トラップに捕獲される。ソースサイドインジェクションはチャネル方向で極めて狭い領域で行われると考えられているが、飛び込んだ電荷が離散的トラップに捕獲されてその位置に固定されるような場合、捕獲された電荷のセルフポテンシャルによってソースサイドインジェクションの位置は時時刻々変化していき結局メモリトランジスタ部のソース領域にある程度の分布をもって電荷は蓄積されることになる。また大幅な書き込み高速化がもたらす重要な点は、端に応用面のみの利点に留まらず、ホットキャリア書き込みによる書き換え劣化がその時間に比例して抑制されることである。

【0047】また読み出し時には、半選択メモリセルのスイッチトランジスタT<sub>rs</sub>w、T<sub>rs</sub>wは読み出し電圧の影響をカットし、読み出しディスタブを回避する働きを行う。さらに読み出し側のスイッチトランジスタ部T<sub>rs</sub>wのスイッチゲート電極の電圧を高めることにより、信号検出のマージンを拡大させることが可能である。なお、図3乃至図5に示した1トランジスタ型の不揮発性半導体メモリでは、書き込みと読み出しにて、メモリトランジスタ部のチャネル電流の向きが互いに逆であったが、図14乃至図16にて提供するメモリセル構造では、ソース側に書き込むので読み出しのチャネル電流もそのまま同じ方向を用いる。

【0048】図14乃至図16の本発明が提供するところのメモリセルにてセルアレイを構成したときの動作バイアスの第1の例を図17乃至図20に、第2の例を図21乃至図24に示す。いずれもメモリトランジスタ部T<sub>rmc</sub>のメモリゲート電極7を代表的に示されたワード線5L<sub>i</sub>、5L<sub>j</sub>に接続している。これとクロスして代表的に示されたビット線／ソース線4L<sub>i</sub>、4L<sub>j</sub>、4L<sub>k</sub>を設けている。さらに両サイドのスイッチトランジスタ部T<sub>rs</sub>wのスイッチゲート電極6-1、6-2に接続される代表的に示されるスイッチング制御線6L<sub>i</sub>～6L<sub>l</sub>もワード線5L<sub>i</sub>、5L<sub>j</sub>にクロスさせている。

【0049】図17にはページモードの消去のバイアス関係が示される。選択したワード線5L<sub>j</sub>のみに比較的大きいプラスバイアスの9Vを印加し、他にはすべて0Vを印加している。選択されたメモリトランジスタの消去は、トラップされていた電子がメモリゲート側からの大きい正バイアスによってメモリゲート電極側へ引き抜かれる。図18はすべてワード線5L<sub>i</sub>、5L<sub>j</sub>にプラスバイアスの9Vを印加し実行される。すなわち消去は、ワード線単位(ページ単位)と全チップ単位の2通りが可能である。図17はワード線単位、図18はチップ単位の消去になる。

【0050】図19は書き込みを示す。選択すべきメモ



リセルのソース側のスイッチゲート電圧はスイッチング制御線6Liを介して1.5V、ドレイン側のスイッチゲート電圧は制御線6Ljを介して3V、メモリトランジスタ部Tmcのメモリゲート電極はワード線5Ljを介して6Vにされて、書き込みが行われる。

【0051】図20は読み出しを示す。選択されるべきメモリセルのメモリゲート電極にはワード線5Ljを介して3V、両サイドのスイッチトランジスタのスイッチゲート電極にも制御線6Li、6Ljを介して3V、ドレイン電極に接続されるビット線/ソース線4Ljには1.5Vを印加して、読み出しが行われる。あるいは読み出し時に、ソース電極側のスイッチトランジスタのゲート電圧に制御線6Liを介して3V、ドレイン側のスイッチトランジスタのゲート電極に制御線6Ljを介して電圧を4.5Vを印加し、2ビット/セルの読み出しマージン拡大をはかることができる。

【0052】図21乃至図24に示した方式では、隣接するメモリセルのスイッチトランジスタ部Trswのスイッチゲート電極を短絡する。図21乃至図24に示されているように、消去、書き込み、読み出しの動作は可能である。この方式の決定的な利点は、図44にて述べるが、最小の光加工寸法以下で形成しているサイドウォールゲートで形成したときのスイッチトランジスタ部と周辺回路とにおいてその接続の形成が容易となる点にある。ここで図24の読み出しにおいて、ビット線側のスイッチトランジスタ部のゲート電圧を4.5V高めているのは、読み出しマージンを拡大するためである。また、隣接するメモリセルのスイッチトランジスタ部Trswのスイッチゲート電極を短絡した事によって、図23に示される書き込み半選択のメモリセル(5Lj, 6Lk, 6Liに接続されたメモリセル)が存在する。この書き込み半選択のメモリセルには図23から明らかなようにディスタープがかかっているが、ソースサイドインジェクションによる書き込み高速化によって、ディスタープの影響は非常に弱いといえる。

【0053】なお、図17、図18、図21、及び図22においてメモリゲート電極、ビット線/ソース線に対応して記載された電圧、特に括弧内記載の値は、基板と前記離散的にトラップを含むゲート絶縁膜との間のゲート酸化膜厚が1.8nmにて基板側に電荷を引き抜いて消去することを想定したものであり、括弧外記載の値は、基板と前記離散的にトラップを含むゲート絶縁膜との間のゲート酸化膜厚が5nmにてワード線(ゲート電極)側に電荷を引き抜いて消去することを想定したときのものである。

【0054】図17乃至図24の説明ではメモリトランジスタ部Trmcに一方のソースに対するソースサイドインジェクションによる書き込みを例示しているが、バイアス条件を左右入換えることによって、メモリトランジスタ部Trmcのソース・ドレイン電極を左右入換え

て、反対側の端部に対するソースサイドインジェクションによる書き込みを行なう事が可能であることは言うまでもない。図14、図15の拡散層4-1、4-2に付されたSource、Drainの語は相互にバイアス条件をソース・ドレイン電極間で入換えるときの相対的な電極名である。

【0055】図17乃至図24を用いて説明したところの、消去、書き込み、および読み出しについてメモリセルアレイのバイアス関係を形成する動作手順を説明する。

【0056】図25はメモリセルアレイ51の詳細な一例とその周辺回路を具体的に例示し、また図26は動作手順の概略を記している。

【0057】図25において、ワード線デコーダ55-1はワード線5Lの選択信号を形成し、スイッチデコーダ55-2はスイッチング制御線6Lの選択信号を形成する回路であって、図13のワード/スイッチデコーダ55に含まれる。データラッチ回路52は図13のデータロードラッチ52と同じであり、ソース線・ビット線デコーダ62は図13のデータロードタイミングコントローラ62と同じであると理解されたい。

【0058】アクセス動作手順は、図26に例示されるように、まずデータ処理システム若しくはメモリシステムの中でそのメモリチップが選択されることから始まる(S1)。つぎにアクセスは、書き込み指示か/読み出し指示かの信号が入り、チップ内のアドレスを指定する信号が取り込まれる(S2)。指定されたアドレスに蓄えられている旧データが新データに書き換えられる場合は、旧データの消去が必要である(S3)。この消去は、ワードが選択されたときに、そのワードのみを書き込み前に消去する場合もある。あるいは、ブロック単位のメモリがあらかじめ消去されているところに、書き込みに行く場合もあり、そのときは書き込みの直前の消去は不要である。つぎに書込まれるべき新しい入力データが、データラッチされ(S4)、メモリセルの書き込み動作に入る(S5)。旧データを一部残す場合は、消去前に旧データをデータラッチ52に退避しておき、部分的に新データとデータの入れ換えをデータラッチ52の内部で行い、指定されたアドレスのメモリに書き込みに行くことも可能である。書き込みは、通常マイクロプロセッサのクロック時間よりも長い時間を要するので、メモリチップは、書き込み中であることを示す前記レディー/ビジー信号を持っている。これによって書き込み終了を検出すると、マイクロプロセッサはメモリチップをアクセス制御し、書込まれている不揮発性のデータをリード可能する(S6)、という手順を採ることができる。

【0059】以上は、通常の不揮発性半導体メモリチップの動作では一般的な動作であるが、本発明が提供するメモリセルは、1個のメモリセルに2ビットを蓄積するマルチストレージ型のメモリセルであり、メモリセルへの書き込みあるいは読み出しは1度に2回なされることが

ある。この場合は、ソース線/ビット線の相互の入れ換え、2つあるスイッチトランジスタ部Trswのそれぞれのゲート電位の入れ換え、それらに伴う周辺回路の動作の変更が必要であるが、それらはアドレス信号を受けて制御される。

【0060】図119及び図120には1個のメモリセルに2ビットの情報を蓄積する場合の動作がタイミングチャートによって示される。各図においてbit#1, bit#2は1個のメモリセルの2ビットの情報を意味する。図119に例示されるように、1個のメモリセルを一つのアドレスで指定し、1個のメモリセルに対して2ビットのデータbit#1, bit#2をデータラッチ52にラッチさせる。消去(Erase)の後、メモリセルのソース・ドレイン電極に対するバイアス電圧条件を相互に入れ換えながら一方のソースサイドに対してbit#1を書込み、他方のソースサイドに対してbit#2を書込む。読み出しでは、書き込みサイドをソースとして動作される。ソース線とビット線の切り換え状態は図120に明瞭に示されている。図120において、基板とナイトライド膜のような前記離散的にトラップを含むゲート絶縁膜との間の酸化膜厚が1.8nmのときの消去は、基板側へ電子を引く抜き、ゲートバイアスを6V、基板側を3Vとしている。前記酸化膜厚が5nmのときの消去はゲート側へ電子を引く抜き、ゲートバイアス電圧が9V、基板側を0Vとしている。

【0061】上述のように1個のメモリセルに2ビットの情報を蓄積した場合、データ読み出しでは、1個のメモリセルに蓄えられた情報を読み出すのに、読み出し方向を入れ替えるにしても片方のビットの情報が他方のビットの情報読み出しに影響を与えることになる。図116にはその影響が解るように読み出しのメモリ電流とメモリゲート電圧の関係が例示される。読み出しは書込まれたサイドをソース側として読むのが原則である。図116の(A)は図14の右向き読み出し時における電流・電圧特性を示し、図116の(B)は図15の左向き読み出し時における電流・電圧特性を示す。各図において、“0”は消去状態、“Q”は書き込み状態を意味し、“00”、“0Q”、“Q0”、“QQ”の左側ビットは前記離散的にトラップを含むゲート絶縁膜の左サイドトラップの状態、右側ビットは前記離散的にトラップを含むゲート絶縁膜の右サイドトラップの状態を意味している。図より明らかなように、マルチストレージタイプのメモリセルにおける片方のビットの情報が他方のビットの情報読み出しに影響を与えるが、(A)と(B)の夫々における4種類の状態を、ワード線電圧と電流検出型のセンスアンプの感度とを適当に決める事によって明確に識別可能である。

【0062】図27乃至図34にはメモリセルアレイ51の各種構成が例示される。その構成は(A)～(D)の4種類に大別され、夫々のレイアウトと等価回路が図

示されている。

【0063】それぞれのメモリセルアレイ51には、ワード線8本とメモリゲート8個をメモリセルアレイの最小単位として2個ならべて示している。メモリセルアレイの活性領域を8、スイッチトランジスタ部のゲート配線を6La、ワード線を5L、ソース/ビット線拡散層を4とする。スイッチトランジスタ部のゲート配線6Lは接触孔6Cを通してスイッチゲート電極は緯線6Lにワード線5Lの8本毎にたばねられ、ソース/ビット線拡散層4は接触孔4Cにソース/ビット線4Lに接続する。MCは一つのメモリセルを示す。

【0064】図27及び図28に示すメモリセルアレイでは、隣接するメモリセルのスイッチトランジスタ部Trswのゲート電極配線6Lは共通とされ、同一メモリセル内のスイッチトランジスタ部Trswのゲート配線を独立とすべく、スイッチゲート配線6Laが8本のワード線5Lの上下に夫々配置されている。このように短絡したスイッチトランジスタ部Trswのゲート配線では、隣接するメモリセルのメモリトランジスタ部とスイッチトランジスタ部のゲート電極に同様な電位が印加されることになるので、ソース/ビット線拡散層4の電位のあたえ方にて隣接するメモリセルとの動作上の区別を行う。すなわちアクセスするメモリセルのソース線を接地電位とし、隣接するアクセスしないメモリセルのソース線は電位の供給をオフとるようにして、アクセスするメモリセルのみ活性にさせる。メモリセルの動作にともない、ソース/ビット線4Lを入れ換えることも行うが、このような配線接続は仮想接地方式と呼ばれている。仮想接地方式を採用する場合、ソース/ビット線4Lが浮遊電位となり、メモリセルアレイ内にて浮遊電荷が意図しない過渡電流となって、誤読み出しの原因になったりすることがある。このような過渡電流の流れを防止するために、つぎに図29および図30に示すメモリセルアレイ(B)では、最隣接するメモリセルの一方のスイッチトランジスタのゲート電位を完全にオフとするため、8本のワード線5Lの上下に夫々2本ずつスイッチゲート配線6Laを配置し、スイッチトランジスタ部Trswのスイッチゲート電極6Lを交互に別々のスイッチゲート配線6Laに接続するようになっている。図27及び図28の構成に比べてスイッチトランジスタ部Trswのスイッチゲート配線6Laの数は倍になるが、近隣のメモリセルから浮遊電荷が伝達され、過渡電流を生ずる事に起因する誤読み出しの低減が可能になる。

【0065】図29及び図30のようにスイッチトランジスタ部Trswのスイッチゲート電極配線6L、6Lを交互に別のスイッチゲート配線6Laに短絡すると、スイッチゲート配線6Laの配線数が増し、メモリセルアレイ51の面積が増大してしまう。このような面積の増大を防止するには、図31及び図32に示

すメモリセルアレイ (C) を採用してよい。図31及び図32に示される構成は、ソース/ビット線4L方向に延在して隣接する最小単位のメモリセルアレイ部分51A、51Bの間でスイッチトランジスタ部Trswのスイッチゲート電極配線6Lを共有させる。共有する配線数は、上下両側に隣接するメモリセルアレイ間で夫々半分ずつ分担することになる。これは平面的な配置からやむをえない配線である。しかしスイッチトランジスタ部Trswのスイッチゲート電極配線6Lを共有化することでメモリセルアレイの面積の減少をもたらすことになる。

【0066】ソース/ビット線4Lの延在方向両側に隣接するメモリセルアレイ部51A、51Bにおいては、ソース/ビット線拡散層4の共有化も可能であり、図33および図34に示すメモリセルアレイ (D) では、ソース/ビット線の拡散層4からソース/ビット線4Lに接続する接触孔4Cを、スイッチゲート配線6Laの間に配置することが可能である。このようなメモリセルアレイを採用することにより、面積の減少をすすめることができるが、最大の利点は接触孔4Cの数を半減させることができる。接触孔4Cのような加工の数を減らすことはそれだけ加工の負荷が軽くなり、加工不良の発生率が低下し、信頼性および生産性が高まることになる。

【0067】図35乃至図40には図14乃至図16で説明したメモリセルの製造工程における所要段階のデバイス断面構造が概略的に示される。

【0068】図35はシリコン半導体基体1上にスイッチトランジスタ部Trsw用のゲート絶縁膜11、さらにスイッチゲート電極材料6を堆積したところまでを示す。ここでは、ゲート絶縁膜11はシリコン半導体基板1を高温熱酸化にて形成した厚さ20nmの薄いシリコン熱酸化膜を用いたが、酸化窒化膜など他の絶縁膜の採用も可能である。ゲート電極材料6には、厚さ150nmの多結晶シリコン薄膜を用いた。

【0069】図36はゲート電極材料6を加工してスイッチトランジスタ部Trswのスイッチゲート電極6-1、6-2、6-3および6-4を形成し、レジスト12-1、12-2、12-3にてビット線部をイオン打ち込みのためにマスクして、ビット線部に高濃度拡散層4-1、4-2を、ヒ素 (As) 及びリン (P) をイオン打ち込みによりドーピングして形成したところを示す。

【0070】図37はイオン打ち込みに使用したレジストマスクを除去し、比較的低温の700℃にてウェット熱酸化を施したところまでを示す。このとき形成される熱酸化膜は、多結晶シリコン薄膜によるスイッチトランジスタ部Trswのスイッチゲート電極6-1、6-2、6-3、6-4および高濃度にヒ素 (As) およびリン (P) がイオン打ち込みされているビット線部4-1、4-2に対しては選択的におよそ100nm程度と厚くなるが、シリコン半導体基体1上に直接形成される

熱酸化膜は20nm程度と薄い。この形成される熱酸化膜の膜厚の違いは、酸化されるシリコンの結晶性によって異なる。

【0071】図38はシリコン半導体基体1上に直接形成され20nm程度と薄い熱酸化膜を除去したところまでを示し、メモリトランジスタ部Trmcにシリコン半導体表面をむき出しとしている。

【0072】図39はメモリトランジスタ部Trmcを形成するために、厚さ1.8nm又は5nmのトンネル酸化膜12をメモリトランジスタ部のシリコン半導体表面上に形成し、つづいて離散的トラップを有するシリコンナイトライド膜2を厚さ15nm堆積し、さらに酸化膜13を形成し、さらにメモリゲート電極7の電極材料を堆積したところまでを示している。このとき酸化膜13の形成には、シリコンナイトライド薄膜の表面部を高温熱酸化して形成してもよいが、ここではCVD法にて堆積した厚さ3nmのCVD熱酸化膜を用いた。メモリゲート電極7の電極材料にはドーピングした厚さ300nmの多結晶シリコン薄膜を用いた。またこのメモリトランジスタ部のメモリゲート電極7の電極材料は、メモリセルアレイのワード線を兼ねるので、低抵抗が望ましくタングステンWなどのメタル電極を使った。

【0073】なお、図39はゲート電極材7をワード線5に加工した後の断面、すなわち図16のA-A'部の断面を示している。図40はワード線5の間、すなわち図16のB-B'部の断面を示している。ワード線5の間ではゲート電極材が除去されたのみで、離散的トラップを有するシリコンナイトライド膜は残されている。これはメモリゲート下にて蓄積された電荷は横方向には伝導性がないためである。図39および図40に示した後は、通常の半導体LSIの製造方法にしたがって層間絶縁膜、上層のメタル配線等が施される。

【0074】《メモリセルの第2形態》図41乃至図43にはメモリセルの第2形態が例示される。同図に示されるメモリセルは、サイドウォールゲート技術を用いて、メモリトランジスタ部Trmcの両サイドにスイッチトランジスタ部Trswを自己整合的に設けられた構造を有している。この場合、スイッチトランジスタ部Trswのゲート長は、最小加工寸法Fの1/2程度に加工できるので、図43から明らかなようにメモリセルは6F<sup>2</sup>乗であるが、1ビット当たりは3F<sup>2</sup>乗とみなすことができ、従来にくらべれば半分程度のセルサイズが実現され、高集積を達成する事が可能になる。メモリセルの中のトランジスタの配列と結線は、図14乃至図16にて提供するメモリセルの場合とまったく同じであるので、高速書き込み、書き込み劣化低減、読み出しディスタブの回避、信号検出のマージン拡大等が実現している。

【0075】図44には図41乃至図43の構造を有するメモリセルにおいて最小の光加工寸法以下で形成して

いるサイドウォールゲート6-1、6-2のスイッチトランジスタ部Trswと周辺回路とにおいてその接続形態が例示される。サイドウォールゲート6-1、6-2はメモリゲート電極7の側壁部に厚く形成された電極材を垂直方向に一樣にエッチングしていったときに残った電極材を利用している。サイドウォールゲート電極の幅のおよそ2倍以下の幅の溝を設ければ、そこに埋められた電極材は平坦部に堆積した膜厚よりも厚く形成されるので垂直の異方性エッチをおこなった場合、溝の間では電極材が残ることになる。しかも溝の形状に沿うので自己整合的あり、サイドウォールゲートとの接続は容易である。図44では、メモリアレイ内でサイドウォールゲート電極6-1、6-2の配線長が長くなることにより電気抵抗が増大するのを防止するため、途中にコンタクトホール6Cを介してシャントを設ける構造が示される。この構造は他の回路部分のレイアウトにも使用できる。

【0076】図45乃至図51には図41乃至図43で説明したメモリセルの製造工程における所要段階のデバイス断面構造が概略的に示される。

【0077】本メモリセル構造は、メモリトランジスタ部Trmcの両サイドに、サイドウォールゲート技術を用いて、スイッチトランジスタ部Trswを形成することになる。したがってメモリトランジスタ部Trmcの形成をはじめに行う。

【0078】図45は、シリコン半導体基体1上にメモリトランジスタをはじめに形成するために、厚さ1.8nm或いは5nmのトンネル酸化膜12の形成、離散的トラップを有する厚さ15nmのシリコンナイトライド膜のようなゲート絶縁膜2の堆積、厚さ3nmの酸化膜13を形成、厚さ300nm多結晶シリコンのゲート電極材7を堆積、さらに後の加工にて必要となる薄い酸化膜14、ナイトライド膜15、及び薄い酸化膜16を形成したところまでが示される。

【0079】図46は、メモリトランジスタ部Trswを形成するためにゲート長に沿って異方性エッチ加工を施し、露出したシリコン半導体基体1上にスイッチトランジスタ部Trsw用の厚さ20nmのゲート絶縁11-1、11-2及びメモリトランジスタ部Trmcの側面部を構成する厚さおよそ100nmの熱酸化膜11-3、11-4、11-5、11-6を同時に形成する。さらにスイッチトランジスタ部Trswのサイドウォールゲート電極材6-1、6-2、…のため厚さ400nmの多結晶シリコンを堆積し、さらにビット線部を、高濃度拡散層4-1、4-2にヒ素(As)およびリン(P)をイオン打ち込みよりドーブして形成する。メモリトランジスタTrmc部の側面部には、多結晶シリコンの堆積は回り込み効果から局所的に厚さが増している。

【0080】図47は、サイドウォールゲート電極材6

-1、6-2の厚さ400nmに堆積していた多結晶シリコン膜を、ほぼ垂直の異方性エッチによって厚さ400nm分除去したところまでを示しているが、メモリトランジスタ部Trmcの側壁部は、図46に示されている局所的な厚みの分だけエッチングされずに残る。このメモリトランジスタ側壁部に残った多結晶シリコン膜6-1、6-2、6-3、6-4がサイドウォールゲート電極となる。

【0081】図48は、多結晶シリコン膜からなるサイドウォールゲート電極6-1、6-2、6-3、6-4の周囲に熱酸化を施し、厚さ50nmの熱酸化膜17-1、17-2、17-3、17-4を形成した後、CVD法にて厚さ400nmの酸化膜18を堆積したところまでを示す。メモリトランジスタ部Trmcおよびサイドウォールゲート電極6-1、6-2など下地の形状の影響を受けてCVD酸化膜は凹凸をなしている。

【0082】図49は、さきに堆積した厚さ400nmのCVD酸化膜18の凹凸のうち突起している部分を化学的機械的研摩(CMP)技術を用いて除去したところまでを示している。このときサイドウォールゲート電極の周囲に形成してある熱酸化膜17-1、17-2、17-3、17-4が残り、サイドウォールゲート電極6-1、6-2、6-3、6-4が絶縁保護されていることが必要である。

【0083】図50は、図49の状態が形成された後、メモリトランジスタ部Trmc部上の薄い酸化膜14、ナイトライド膜15、及び薄い酸化膜16を化学的に除去した後、メモリトランジスタ部Trmc部のメモリゲート電極と電気的に接続されるようにワード配線5の材料を堆積したところまでを示している。このワード配線5の材料は低抵抗が望ましくタングステンWなどのメタル電極を使った。

【0084】図50は、ワード配線5の材料を加工した後の断面、すなわち図43のA-A'部の断面を示している。図51はワード配線5の間すなわち図43のB-B'部の断面を示している。ワード配線5の間ではワード配線5の線材及びメモリトランジスタ部Trmc部のメモリゲート電極7の材が除去されていて、離散的トラップを有するシリコンナイトライド膜のような前記離散的にトラップを含むゲート絶縁膜2が残されている。これはメモリゲート電極7下にて蓄積された電荷は横方向には伝導性がないため除去する必要がないためである。図50及び図51の構造を形成した後は、通常の半導体集積回路の製造方法にしたがって、層間絶縁膜の形成、上層のメタル配線の形成等の処理が施される。

【0085】《メモリセルの第3形態》図52には第3の形態のメモリセルの断面構造が例示され、図53にはそのメモリセルの平面構造が例示される。第3の形態のメモリセルは、上記メモリセルの第1形態において、メモリセル内の拡散層4-1、4-2の配線に代えて、ス

スイッチトランジスタ部TrswのMOS反転層を配線として用いるものである。すなわち、1個のメモリセルは、1個のメモリトランジスタ部Trmcと、2個のスイッチトランジスタ部Trswと、2つのトランジスタ反転層配線20-1、20-2とからなるメモリセル構造を有する。上記メモリトランジスタ部Trmcは前記離散的にトラップを含むゲート絶縁膜2を有し、かつ上記メモリトランジスタ部Trmcのメモリゲート電極7がワード線5に接続し、かつ上記2つのトランジスタ反転層配線20-1、20-2がソース線およびビット線を成し、かつ上記2個のスイッチトランジスタ部Trswと、上記ソース線およびビット線をなす2つのトランジスタ反転層配線20-1、20-2が、それぞれ互いにゲート電極6-1、6-2を共有することになる。

【0086】第3形態のメモリセルは、図52及び図53に例示されるように、書き込みはホットエレクトロンのソースサイド注入方式を採り、読み出しも同方向の電流を検出する。メモリセル内において反対方向の動作も可能になるので、1個のメモリセルは2ビット動作を行なう事ができる。平面構造に示したように1個のメモリセルのサイズは4Fの2乗であり、データ1ビット当たりのサイズは2Fの2乗となり、高集積が実現される。

【0087】図54乃至図57を参照しながら第3形態のメモリセルの消去、書き込み、読み出しの動作を説明する。同図においてスイッチトランジスタ部Trswのスイッチゲート電極6Li、6Lj、6Lkと、スイッチトランジスタ部Trswの反転層配線20Li、20Lj、20Lkは同一の配線のように図示されている。図の下方に反転層を構成する半導体領域の電圧が示され、図の上方にスイッチゲート電極の電圧が示される。

【0088】図54にはワード線1本に沿って消去するページモードを、図55には複数のワード線を同時に消去するチップ（ブロック）モードが示される。消去動作において電子をメモリゲート側に引き抜くので、メモリゲート電極、すなわち選択したワード線5Liには9Vのような高いバイアスを印加し、基板の表面にグランドレベルのバイアスが入るように、ソース/ビット線のゲート電極に電源電圧たとえば3Vを与え、反転層は0Vバイアスとなるようにして、離散的トラップを有するシリコンナイトライド膜に高電界がかかるようにしている。

【0089】図56には書き込みのバイアス関係が例示される。選択されたビットには、ソース側のゲート電極はしきい値（0.5V）よりも少し高め1.5Vを印加し、ここでホットになったキャリアは高バイアス（6V）の印加されたメモリゲート電極の方へ高電界によって引き寄せられ、離散的にトラップを含むゲート絶縁膜の中に捕獲される。ソース線側に与える電位は0V、ビット線側に与える電位は3Vとなるようにするため、ソース線側スイッチトランジスタ部のスイッチゲート電極には1.5V、ビット線側スイッチトランジスタ部のス

スイッチゲート電極には4.5Vとそれぞれ高めのバイアスを印加している。

【0090】図57には読み出しのバイアス関係を示している。選択したビットには、読み出しとしてソース線側に与える電位は0V、ビット線側に与える電位は1.5Vとしているが、付加される反転層抵抗をできるだけ小さくするために、書き込みのときと同様なバイアスを用いて、ソース線側スイッチトランジスタ部のスイッチゲート電極には3V、ビット線側スイッチトランジスタ部のスイッチゲート電極には4.5Vとそれぞれ高めのバイアスを印加し、反転層抵抗を小さくしている。

【0091】図58乃至図65には第3形態のメモリセルを採用したメモリセルアレイ51の各種構成が例示される。その構成は（A）～（D）の4種類に大別され、夫々のレイアウトと等価回路が図示されている。

【0092】メモリセルアレイの構成は、図27乃至図34で説明した前記第1形態のメモリセルを用いた例に対して、メモリセルアレイの活性領域8内で、ソース線/ビット線4Lは、接触孔4Cを通して反転層配線20Lにつながる拡散層4の電位を取り出すように構成されている点が相違される。その他の点については図27乃至図34の構成と基本的に同じである。

【0093】図66乃至図70には図52で説明した第3形態に係るメモリセルの製造工程における所要段階のデバイス断面構造が概略的に示される。

【0094】図66には、シリコン半導体基板1上に、ゲート絶縁膜11をシリコン半導体基板1の高温熱酸化にて形成し、スイッチゲート電極6用の電極材料たとえば多結晶シリコン膜を堆積し、ソース線/ビット線とスイッチトランジスタTrswが共有するゲート配線を加工するためにホトレジスト膜18-1、18-2、18-3の露光/現像加工が行われた状態が示される。

【0095】図67にはホトレジスト膜18-1、18-2、18-3によってスイッチゲート電極6の電極材料をエッチング加工し、スイッチゲート電極6-1、6-2、6-3が形成された状態が示される。

【0096】図68にはメモリトランジスタ部Trmcとワード線5の加工が行われたところまでが示される。メモリトランジスタ部Trmcには厚さ5nm程度のシリコン熱酸化膜12-1、12-2が形成されるように熱酸化が施され、さらに離散的にトラップを含むゲート絶縁膜2としてナイトライド膜が10nm程度堆積され、さらにその上部に厚さ3nm程度の酸化膜13が、熱酸化あるいは化学真空蒸着法にて形成され、さらにメモリトランジスタTrmcのコントロールゲート電極7及びワード線5を構成する例えば多結晶シリコン膜を堆積した構造が示される。

【0097】図69および図70には、さらにワード線5加工を施すためにホトレジスト膜19を用いて、図69のようにワード線5としてポリシリコンが残される部

分と、図70のようにポリシリコンが取り除かれる部分とに成形される。特に、図70では、ワード線間の電気的分離を行なう、ワード線5の間でボロン(B+)をシリコン半導体基板1に注入している。

【0098】《メモリセルの第4形態》図71には第4形態のメモリセルの断面構造が示される。同図に示されるメモリセルは、ソース線をスイッチトランジスタ部Trswの反転層20と共有して形成し、ビット線を拡散層4にて形成するものである。すなわち、1個のメモリセルは、1つのメモリトランジスタ部Trmcと、1つのスイッチトランジスタ部Trswと、1つのトランジスタ反転層20の配線と、1つの拡散層4の配線とから成るなる構造を有する。前記メモリトランジスタ部Trmcの蓄積部である前記離散的にトラップを含むゲート絶縁膜2は例えばシリコンナイトライド膜から構成される。前記メモリトランジスタ部Trmcのコントロールゲート電極7はワード線5に接続される。前記1つのトランジスタ反転層20の配線はソース線20Sを成し、かつ前記1つの拡散層4の配線がビット線4Bを成す。前記1つのスイッチトランジスタ部Trswと前記ソース線をなす1つのトランジスタ反転層20の配線は互いにゲート電極を共有することになる。要するに、第4形態のメモリセルは、メモリセルトランジスタ部Trmcを堺にソース側に前記第3形態のメモリセル構造の一部を有し、ドレイン側にNROM形態のメモリセル構造の一部を有して成る構造を備えている。

【0099】図71のメモリセルの断面構造から明らかなように、書き込みはホットエレクトロンのソースサイド注入方式、およびドレインサイド注入方式が可能である。読み出しは、メモリセルがソース線/ビット線に対して非対称であるので1方向読み出しのみである。したがって図72に示されているように、4Fの2乗のメモリセルエリアに対して、ソースサイド注入方式あるいはドレインサイド注入方式の書き込みのみを行なった場合は、面積はビット当たりは4F2乗となる。しかしソースサイド注入方式およびドレインサイド注入方式を共に行ない2ビット書き込みをおこなうと、面積はビット当たりは2F2乗と小さくなる。この場合、読み出しが1方向のみであるので、ソース端/ビット端に書込んだデータを読み分けるには、ソース線側のスイッチトランジスタのスイッチゲート電極6のゲートバイアス及びビット線側の拡散層4のバイアスを制御することになる。

【0100】図73乃至図78を参照しながら第4形態のメモリセルの消去、書き込み、読み出しの動作を説明する。同図においてスイッチトランジスタ部Trswのスイッチゲート電極6Li、6Ljと、スイッチトランジスタ部Trswの反転層配線であるソース線20Si、20Sjは同一の配線のように図示されている。図の下方に反転層を構成する半導体領域の電圧が示され、図の上方にスイッチゲート電極の電圧が示される。

【0101】図73にはワード線1本に沿って消去するページモード消去が示され、図74には複数のワード線を同時に消去するチップ(ブロック)モード消去が示される。消去動作では電子をメモリゲート電極7側に引き抜くので、メモリゲート電極7、すなわち選択したワード線5には、高いバイアス電圧9Vを印加し、基板の表面にグランドレベル(0V)のバイアスが入るように、ソース線20Si、20Sjのゲート電極6Li、6Ljに電源電圧たとえば3Vをあたえ、反転層は0バイアスとなるようにして、前記離散的にトラップを含むシリコンナイトライド膜のようなゲート絶縁膜2に高電界がかかるようにしている。

【0102】図75にはソースサイド注入方式の書き込みのバイアス関係が例示される。選択したビットには、ソース側のスイッチゲート電極6(6Li)はしきい値(0.5V)よりも少し高めめの1.5Vを印加し、ここでホットになったキャリアは高バイアス6Vの印加された前記離散的にトラップを含むゲート絶縁膜2の方へ高電界によって引き寄せられ、離散的にトラップを含むゲート絶縁膜2の中に捕獲される。ソース線20Si側に与えられる電位が0Vとなるようにするため、ソース線側スイッチトランジスタ部Trswのスイッチゲート電極6Liには1.5Vを印加している。ビット線4B側に与える拡散電位は3Vを与える。

【0103】図76にはソースサイド注入方式によってソースサイドに書き込みを行なったときの読み出しのバイアス関係が例示される。選択したビットには、読み出しとしてソース線20Si側に与える電位は0V、ビット線4B側に与える電位は1.5Vとしている。ソース線20Si側の反転層20の抵抗をできるだけ小さくするために、書き込みのときと同様なバイアスを用いて、ソース線側スイッチトランジスタ部Trswのスイッチゲート電極配線6Liには3Vを印加し、反転層20の抵抗を小さくしている。

【0104】図77にはドレインサイド注入方式の書き込みのバイアス関係が例示される。選択したビットには、ソース側のスイッチゲート電極配線6Liはしきい値(0.5V)よりも高めめの4.5Vを印加し、チャンネル内でホットになったキャリアはドレイン端にて、高バイアス6Vの印加されたメモリゲート電極7の方へ高電界によって引き寄せられ離散的にトラップを含むゲート絶縁膜2の中に捕獲される。ソース線20Si側に与える電位は0Vとなるようにするため、ソース線側スイッチトランジスタ部Trswのスイッチゲート電極配線6Liには4.5Vを印加している。ビット線4B側に与える拡散層4の電位としては3Vを与える。

【0105】図78にはドレインサイド注入方式によってドレインサイドに書き込みを行なったときの読み出しのバイアス関係が例示される。選択したビットには、読み出しとしてソース線20Si側に与える電位は0V、



ビット線4B側に与える電位は1Vとしている。ソース線20Si側の反転層20の抵抗をできるだけ小さくするために、書込みのときと同様にソース線側スイッチトランジスタ部Trswのスイッチゲート電極6には4.5Vを印加し、反転層20の抵抗を小さくしている。上述の通り、図76と図78のバイアス条件によって、ソースサイドに書込んだデータとドレインサイドに書込んだデータの読み分けを行なうことができる。

【0106】図121及び図122には図71の前記1個のメモリセルに2ビットの情報を蓄積する場合の動作がタイミングチャートによって示される。それらに示される動作は図73乃至図78の動作に対応される。各図においてbit#1、bit#2は1個のメモリセルの2ビットの情報を意味する。図121に例示されるように、1個のメモリセルを一つのアドレスで指定し、1個のメモリセルに対して2ビットのデータbit#1、bit#2をデータラッチ52にラッチさせる。消去(Erase)の後、ソースサイドインジェクションによりデータbit#1をソースサイドの前記離散的にトラップを含むゲート絶縁膜に書込み、次に、ドレインサイドインジェクションによりデータbit#2をドレインサイドの前記離散的にトラップを含むゲート絶縁膜に書込む。読み出しは、図122に例示されるようにビット線電位を検出して、データ論理値を判定すればよい。

【0107】図123及び図124には図71の前記1個のメモリセルに対してソースサイド書込みだけを行なう場合の動作がタイミングチャートによって示される。それらに示される動作は図73乃至図76の動作に対応される。書込みはソースサイドだけで行われている。

【0108】図79乃至図86には第4形態のメモリセルを採用したメモリセルアレイ51の各種構成が例示される。その構成は(A)～(D)の4種類に大別され、夫々のレイアウトと等価回路が図示されている。

【0109】メモリセルアレイの構成は、図27乃至図34で説明した前記第1形態のメモリセルを用いた例に対して以下の点が相違される。すなわち、メモリセルアレイの活性領域8内で、スイッチトランジスタ部Trswの反転層20から成るソース線20S、スイッチトランジスタ部Trswのスイッチゲート配線6、拡散層4から成るビット線4B、及びワード線5によってメモリトランジスタの領域が定義される。ソース線20Sは接触孔20Cを通して反転層20につながる拡散層20Pの電位を取り出す。ビット線4Bは接触孔4Cを通してビット線拡散層4の電位を取り出す。スイッチトランジスタ部のスイッチゲート配線6Lは接触孔6Cを通してスイッチ配線6Laにつながる。

【0110】図87乃至図91には図71で説明した第4形態に係るメモリセルの製造工程における所要段階のデバイス断面構造が概略的に示される。

【0111】図87では、シリコン半導体基板1上に、

ゲート絶縁膜11-1、11-2、11-3を高温熱酸化にてシリコン半導体基板1上に形成し、ゲート電極材料たとえば多結晶シリコン膜を堆積してスイッチゲート電極6-1、6-2、6-3を形成する。さらに熱酸化法あるいは化学蒸着法にて酸化膜30を形成し、さらにその上にナイトライド膜31を形成し、さらにその上に酸化膜32を形成する。そして、化学蒸着法にて厚い酸化膜33を堆積させる。

【0112】図88では、ホトレジスト膜34を塗布露光して、ビット線上の絶縁膜33、32、31、30を順次エッチングにて開口する。

【0113】図89では、スイッチゲート配線6-2を取り除き、シリコン基板1上に選択的に不純物As+をイオン注入し、ビット線拡散層4を形成する。

【0114】図90では、絶縁膜33、32を全面的に取り除き、ビット線拡散層4の領域以外はナイトライド膜31にて覆い、ビット線拡散層4の上に厚い熱酸化膜35を形成する。

【0115】図91では、ナイトライド膜31とシリコン基板1上の酸化膜30も取り除き、あらたにシリコン半導体基板1上にゲート酸化膜12-1、12-2を形成し、さらに離散的トラップを有するナイトライド膜2を化学蒸着法にて形成し、酸化膜13を熱酸化あるいは化学蒸着法にて形成し、さらにワード線5及びコントロールゲート電極7の材料を堆積する。

【0116】《メモリセルの第5形態》メモリセルの第5の形態は、前記第4形態のメモリセル構造において、メモリトランジスタ部のチャンネル領域をスイッチトランジスタ部のスイッチゲート電極に対して自己整合的に2分の1最小加工寸法にて形成し、更なる高集積化を可能にする構造とされる。

【0117】図92乃至図94に第5の形態に係るメモリセルの製造方法が断面図にて概略的に示される。

【0118】図92では、シリコン半導体基板1上にゲート絶縁膜11-1、11-2を形成し、スイッチトランジスタ部Trswのゲート電極6-1、6-2を形成する。このときゲート電極6-1および6-2上には、ゲート部の高さを確保するためにナイトライド膜などの絶縁膜46-1、46-2を堆積してある。またこのゲート電極6-1および6-2および絶縁膜46-1、46-2を基にして側壁技術を用いて、ナイトライド膜などのサイドウォール絶縁膜47-1、47-2、47-3、47-4を形成してある。さらにこのゲート電極6-1及び6-2と47-1、47-2、47-3、及び47-4にイオン打ち込み技術により拡散層不純物As+を注入し、ビット線拡散層4を形成してある。

【0119】図93では、引き続き熱酸化を施し、拡散層4上に厚い熱酸化膜45を形成する。

【0120】図94では、絶縁膜46-1、46-2およびサイドウォール絶縁膜47-1、47-2、47-3、



3、47-4を除去した後、メモリトランジスタ部のゲート絶縁膜12-1、12-2を熱酸化にて形成し、さらに離散的トラップを有するナイトライド膜2を化学蒸着法にて堆積し、酸化膜13を熱酸化あるいは化学蒸着法にて堆積し、メモリゲート電極7及びワード線5の材料を形成する。ここで、スイッチトランジスタ部Trswのゲート電極6-1及び6-2とビット線拡散層4の間は、メモリトランジスタ部Trmcのチャネル領域となっており、この領域はナイトライド膜2などのサイドウォール絶縁膜27-1、27-2、27-3、27-4によって定義された領域である。

【0121】《メモリセルの第6形態》メモリセルの第6の形態は、1個のメモリセルに2個のメモリセルトランジスタ部を有し、2ビットの情報を保持する事ができる2メモリトランジスタ/2ビット型の不揮発性メモリセル構造とされ、自己整合技術による高集積とビット単位消去可能な高機能を実現するものである。

【0122】図95は第6形態に係るメモリセルの斜視図であり、図96は第6形態に係るメモリセルの断面構造を示す。

【0123】図95及び図96に示されるように、メモリトランジスタ部Trmcのメモリゲート電極7-1、7-2を直接にワード線5と接続する。このときスイッチトランジスタ部Trswスイッチングのゲート電極6Aは、図96に示すように2つのメモリトランジスタ部Trmcの前記離散的にトラップを含むゲート絶縁膜2-1と2-2の間に自己整合的に埋め込まれて形成される。ワード線ピッチは2Fであるのでビット当たりのセル面積は4F2乗が実現される。

【0124】図95及び図96において、スイッチトランジスタ部Trswのチャネル部50Aに基板タイプと反対タイプの不純物をドーピングして、デプリーション型のチャネルとしておくことは有効である。これは、メモリトランジスタ部Trmcのメモリゲート電極7-1、7-2と、スイッチトランジスタ部Trswのスイッチゲート電極6Aとの間隙部下にチャネルの障壁ができるのを防ぐはたらきを持つ。

【0125】尚、蓄積部2-1、2-2の導電性に関して認識することは重要である。前記図11の従来の構成では、蓄積部2'-1、2'-2は導体の浮遊電極とのみ述べられている。本発明が提供するメモリセルの構造では、蓄積部2-1、2-2は、導体のフローティングゲート電極ではなく、離散的トラップの集合体材料を含んでいることを明言する。離散的トラップを持つ材料の場合、離散的トラップのいずれかに捕獲されたキャリアは、そこの位置に束縛され、トラップの集合体つまり浮遊電極内を動きまわることはできない。離散的トラップの集合体である浮遊電極材料の代表にはシリコンナイトライド薄膜がある。

【0126】図11の構造との関係に付いて更に付言す

る。図11の構成において、フローティングゲート電極2'-1、2'-1の材料は導体と示されているが、導体に限定することなく、離散的トラップの集合体である浮遊電極材料とすれば、この浮遊電極材料はビット毎に分離加工する必要がなくなる。その結果、ゲート電極上を横切るワード線と浮遊電極の間には、加工合わせは必要なくなり、合わせ余裕分の面積を削減できる。すなわち、図11に示したメモリセル構造において、浮遊電極材料として例えば離散的トラップの集合体であるシリコンナイトライド薄膜を用いると、メモリセル面積は先の5、4F2乗から、加工合わせを必要としない場合の図97に示した平面図から明らかなように、4F2乗へと低減し、少なくとも高集積化の点は、図96に示した本発明のメモリセルと同等となる。それでも図11のメモリセルにおける消去は依然としてブロック単位であることに変わりはないので、本発明が提供する構造はワード線単位で消去可能であるという点において有用である。

【0127】図98には図95及び図96に示されるメモリセルに対するメモリ動作の電圧バイアス条件を示している。メモリトランジスタ部Trmcのメモリゲート電極7-1、7-2をワード線5に接続していることから、少なくともワード単位の消去が可能であり、前記図11で述べたメモリ構造がブロック単位の消去であったことに比べると、メモリセルの使い勝手が大幅に向上していると言える。図98においてFはフローティング電位を意味する。

【0128】図99乃至図102には第6形態のメモリセルを採用したメモリセルアレイ51の各種構成が例示される。その構成は、最小ブロック単位の前記(A)と(B)方式が合体された(A&B)方式、隣接ブロックとアドレスを共有する前記(C)と(D)方式が合体された(C&D)に大別され、夫々のレイアウトと等価回路が図示されている。

【0129】図103乃至図108には図95で説明した第6形態に係るメモリセルの製造工程における所要段階のデバイス断面構造が概略的に示される。

【0130】図103には、シリコン半導体基板1上に、メモリトランジスタ部Trmc用のゲート絶縁膜58、離散的にトラップを含むゲート絶縁膜2の電極材、層間絶縁膜59、さらにメモリゲート電極7の電極材料までを堆積した断面構造が示される。ここでは、ゲート絶縁膜58はシリコン半導体基板1を高温熱酸化にて形成した厚さ1、8nm或いは5nmの極薄シリコン熱酸化膜を用いたが、酸化窒化膜など他の絶縁膜の採用も可能である。離散的にトラップを含むゲート絶縁膜2の電極材料は厚さ15nmのシリコンナイトライド薄膜を用いた。層間絶縁膜59には、シリコンナイトライド薄膜の表面部を高温熱酸化して厚さ3nm程度の熱酸化膜を形成してもよいが、ここではCVD法にて堆積したCVD酸化膜を採用した。メモリゲート電極7の電極材料に

は、厚さ150nmの多結晶シリコン薄膜を用いた。

【0131】図104では、上記メモリゲート電極7の電極材料、層間絶縁膜59、離散的にトラップを含むゲート絶縁膜2の電極材料、さらにゲート絶縁膜58を、ビット線方向に異方性エッチングにより重ね切り加工を施し、離散的にトラップを含むゲート絶縁膜2-1、2-2及びメモリゲート電極7-1、7-2を形成し、チャンネルドープ50Aと高耐压化のための低濃度拡散層50B-1、50B-2の形成を兼ねたヒ素(As)のドーピングを行なう。

【0132】図105では、その後、重ね切り加工を施した側面にサイドウォール60-1~60-4を形成し、さらにスイッチトランジスタ部Trswをレジスト60Rにてマスクしてビット線部に高濃度拡散層4-1、4-2をヒ素(As)およびリン(P)をイオン打ち込みによりドーピングして形成する。サイドウォールは、CVD法にて厚く堆積した熱酸化膜が段差部にさらに厚く堆積されることを利用してエッチバックによる残膜として形成されるものであり、その形成法は今日よく知られた技術となっている。

【0133】図106では、スイッチトランジスタ部Trswに厚さ10nmのゲート酸化膜61Aとビット線用の拡散層4-1、4-2部分の絶縁膜61B-1、61B-2とを同時に熱酸化にて形成し、スイッチトランジスタ部Trswのスイッチゲート電極6Aとビット線抵抗の低抵抗化用配線6B-1、6B-2を多結晶シリコンにて堆積する。さらにCVD法にて絶縁膜62A、62B-1、62B-2を堆積する。このとき、メモリトランジスタ部Trmc用のメモリゲート電極上にも、それぞれ多結晶シリコン5C-1、5C-2およびCVD法にて形成した絶縁膜62C-1、62C-2が山盛りとなって形成されている。

【0134】図107では、図106にて示されたメモリトランジスタ部Trmc用のメモリゲート電極7-1、7-2上の不要な多結晶シリコン5C-1、5C-2およびCVD絶縁膜12C-1、12C-2を除去する。メモリトランジスタ部Trmc用のメモリゲート電極7-1、7-2上の堆積膜だけを除去するには、この部分のみをフォト技術によって開口したレジスト膜をマスクにして、エッチングで除去する手法を採用すればよい。フォトレジスト膜を使用しない方法として、でっぱり部のみを化学機械研摩するCMP法もある。段差上をメモリトランジスタ部Trmc用のメモリゲート電極7-1、7-2がよぎることがある場合は、レジスト膜をマスクにしてエッチング除去の方が技術に確実である。

【0135】図108はワード線5用の電極材を堆積したところまでを示している。ワード線5用の電極材には多結晶シリコンを用いたが、高融点金属のチタン、タングステン、あるいはコバルトなどと重ねてつくるポリサ

イド膜を用いることができる。ここでは断面を示しているので明らかに示されていないが、メモリゲート電極7-1、7-2がワード線加工のときに重ね切り加工されて分離される。スイッチトランジスタ部Trswのゲート電極6Aとビット線抵抗の低抵抗化用配線6B-1、6B-2は重ね切り加工は施さない。さらに蓄積部2-1、2-2は、今回離散的トラップの集合体であるシリコンナイトライド薄膜を用いたから、ワード線5との重ね切りは不要であるが、蓄積部が多結晶シリコンなどの導体である場合には蓄積部2-1、2-2もワード線5との重ね切りによる分離が必要となる。

【0136】図103乃至図108に示される図96のメモリセルの製造工程は、通常の超高集積回路(ULSI)の製法のなかに容易に取り込み可能な製法である。

【0137】《メモリセルの第7形態》図109には第7形態に係るメモリセルの断面構造が示される。同図に示されるメモリセルは、メモリトランジスタ部Trmcのメモリゲート電極2-1、2-2をワード線5と接続する構造であり、スイッチトランジスタ部Trswのスイッチゲート電極6Aの両側壁にメモリトランジスタ部Trmcをサイドウォール技術を用いて形成されている。これにより、3F2乗程度の面積のメモリセルが実現される。

【0138】図110乃至図114には図109で説明した第7形態に係るメモリセルの製造工程における所要段階のデバイス断面構造が概略的に示される。

【0139】図110には、スイッチトランジスタ部Trsw用のゲート絶縁膜71、スイッチゲート電極6Aの電極材料75、層間絶縁膜73および層間補強膜74までを堆積した構造が示される。ここでは、ゲート絶縁膜71はシリコン半導体基板1を高温熱酸化にて形成した厚さ10nmの薄いシリコン熱酸化膜を用いた。酸化膜など他の絶縁膜の採用も可能である。ゲート電極材75には、厚さ150nmの多結晶シリコン薄膜を用いた。層間絶縁膜73には、CVD法にて堆積した厚さ150nm程度のCVD酸化膜を採用した。シリコンナイトライド膜と重ね膜にすることも有効である。さらに層間補強膜74として、さらにCVD法にて堆積した厚さ150nm程度のCVD酸化膜を採用したが、ここは絶縁膜の代わりに導電性の材料を用いてもよい。

【0140】図111では、上記層間補強膜74、層間絶縁膜73、ゲート電極材75、さらにゲート絶縁膜71を、ビット線方向に異方性エッチングにより重ね切り加工を施し、半導体基板1上にメモリトランジスタ部用のゲート絶縁膜78、離散的にトラップを含むゲート絶縁膜材77、層間絶縁膜79、さらにメモリゲート電極材料7までを堆積したところを示す。ゲート絶縁膜78はシリコン半導体基板1を高温熱酸化にて形成した厚さ1.8nm或いは5nmの極薄シリコン熱酸化膜を用いたが、酸化膜など他の絶縁膜の採用も可能である。浮

遊電極材 77 は厚さ 15 nm のシリコンナイトライド薄膜を用いた。層間絶縁膜 79 には、シリコンナイトライド薄膜の表面部を高温熱酸化して厚さ 3 nm 程度の熱酸化膜を形成してもよいが、ここでは CVD 法にて堆積した CVD 酸化膜を採用した。メモリゲート電極材 7 には、厚さ 150 nm の多結晶シリコン薄膜を用いた。ここで、多結晶シリコン薄膜はサイドウォールゲート技術を用いてスイッチトランジスタ部 Trsw の側壁段差部に選択的に厚く形成されるようにしてある。

【0141】図 112 では、エッチバックによる残膜としてサイドウォールゲート 7-1 および 7-2 を形成し、ビット線部に高濃度拡散層 4-1、4-2 をヒ素 (As) のイオン打ち込みによりドーピングして形成する。エッチバックは、シリコンナイトライド薄膜 77 の前にて停止させている。なお、サイドウォールゲート 7-1 および 7-2 はメモリトランジスタ部 Trmc のメモリゲート電極の役割を果たし、ビット線部の高濃度拡散層 4-1、4-2 はそれぞれソース、ドレインに相当する。メモリトランジスタ部 Trmc の高耐圧化のために、拡散層 4-1、4-2 には、電界を緩和するリン (P)、さらにパンチスルーを抑制するボロン (B) などの不純物を適切に導入することが有用である。

【0142】図 113 では、500 nm 程度の酸化膜 82 を CVD 法にて堆積する。この酸化膜 82 は、図 114 に示されているように、化学的機械的研磨技術によって、表面が平坦になるように加工される。このときサイドウォールゲート電極材 7-1 及び 7-2 の上部が露出されることが必要であり、この後ワード線 5 用の電極材料を堆積する。図 96 で説明した形態のメモリセルでも述べたが、ワード線 5 用電極材には多結晶シリコンを用いたが、高融点金属のチタン、タングステン、あるいはコバルトなどと重ねてつくるポリサイド膜を用いることができる。ここでは明示されていないが、メモリゲート電極 7-1、7-2 がワード線加工のときに重ね切り加工されて分離される。このときスイッチトランジスタ部 Trsw のゲート電極 6A は重ね切り加工は施されない。そのため層間補強膜 74 が重ね切りのストッパーとしてはたらく材料によって構成されている。層間補強膜 74 として、先に導電性の材料を用いてもよいとしたが、このときサイドウォールゲート電極材の異方性エッチングに対して対エッチング耐性に注意が払われねばならない。

【0143】図 115、図 116、図 117、図 118 には第 1 形態から第 7 形態までのメモリセルの信号の読み出しの特徴点が整理して示される。

【0144】メモリセルを双方向動作させる場合の 2 ビットの読み出しでは、1 つのメモリセルに蓄えられた情報を読み出すのに、読み出し方向を入れ替えるにしても片方のビットの情報が他方のビットの情報読み出しに影響を与えるものである。その読み出しのメモリ電流とメ

モリゲート電圧の関係は、図 115 乃至図 118 に示す。図 115 には図 3、図 4 に示される NROM の読み出しメモリ電流とメモリゲート電圧との関係が示され、図 116 には第 1 形態、第 2 形態、及び第 3 形態のメモリセルにおける読み出しメモリ電流とメモリゲート電圧との関係が示され、図 117 には第 1 形態及び第 5 形態のメモリセルにおける読み出しメモリ電流とメモリゲート電圧との関係が示され、図 118 には第 6 形態及び第 7 形態のメモリセルにおける読み出しメモリ電流とメモリゲート電圧との関係が示される。各図の意味は図 116 で説明した条件に従って理解されたい。One はメモリセルの左サイドに蓄積された情報を主体として読み出すときの電流・電圧特性であり、The other はメモリセルの右サイドに蓄積された情報を主体として読み出すときの電流・電圧特性であり、括弧内の矢印の向きが読み出し電流のキャリアの向きであり、記号 ← は読み出し電流のキャリアがメモリセルの右サイドから左サイドへ流れる事を意味し、記号 → は読み出し電流のキャリアがメモリセルの左サイドから右サイドへ流れる事を意味する。

【0145】書込みは、ソースサイド注入かドレインサイド注入かによって書込まれるサイドが決まるが、読み出しは常に書込まれたサイドをソース側として読むのが原則である。但し、図 117 の実施形態 4、実施形態 5 のメモリセルでは、ドレインサイドに書込んだ場合でも、ソース線/ビット線が非対称なので書込まれたサイドをドレイン側として読む工夫をしている。また図 118 の第 6 形態及び第 7 形態のメモリセルでは、1 個のメモリセルはメモリトランジスタ部 Trmc を 2 個備え、書込み場所がゲート絶縁膜内にて局所的であるとは言え、メモリセルとしては書込み電流方向とは反対方向の電流で読み出しを行なおうとしている。

【0146】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0147】例えば、蓄積部としての離散的にトラップを含むゲート絶縁膜はシリコンナイトライドに限定されず、アルミナ膜、更には、導体の粒子たとえばポリシリコン又はタングステン金属の粒子を絶縁膜中に離散的に埋め込んで構成したものでもよい。尚、導体のフローティングゲート材として実用化されているものにはポリシリコンが挙げられるが、チタン、ニッケル、コバルト、タングステンなどのメンタル材料も今後有望視されている。

【0148】また、書込み、消去、読み出しのバイアス電圧は上記説明の電圧に限定されず、適宜変更可能である。本発明は、不揮発性メモリだけでなく、不揮発性メモリをプログラムメモリやデータメモリとして CPU と共にオンチップしたマイクロコンピュータ若しくはデー

タブロセッサ、更には種々のロジック回路と共に不揮発性記憶素子を搭載したシステムLSIなどの半導体集積回路に広く適用することができる。

【0149】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0150】すなわち、所定のチャネルを通じて検出されるチャネル電流以外の表面電流を検出する虞の少ない不揮発性メモリを有する半導体集積回路を提供することができる。

【0151】マルチストレージ形態の不揮発性メモリセルに対しワード線単位の消去を可能にすることができる。

【0152】チップ面積の増大を抑えてマルチストレージ形態の不揮発性記憶素子を実現できる半導体集積回路を提供することができる。

【0153】高集積、高速、高信頼な不揮発性半導体メモリを有する半導体集積回路を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路が採用する不揮発性メモリセルの基本的形態である1個のメモリセルトランジスタ部と2個のスイッチトランジスタ部とから成る不揮発性メモリセルを例示する断面図である。

【図2】本発明に係る半導体集積回路が採用する不揮発性メモリセルの基本的形態である2個のメモリセルトランジスタ部と1個のスイッチトランジスタ部とから成る不揮発性メモリセルを例示する断面図である。

【図3】本発明者が先に検討したNRROMメモリセルの第1の書き込み読み出し形態を示す説明図である。

【図4】本発明者が先に検討したNRROMメモリセルの第2の書き込み読み出し形態を示す説明図である。

【図5】NRROMメモリセルの平面レイアウト図である。

【図6】NRROMのページ消去動作の説明図である。

【図7】NRROMのチップ消去動作の説明図である。

【図8】NRROMの書き込み動作の説明図である。

【図9】NRROMの読み出し動作の説明図である。

【図10】本発明者が先に検討した別のメモリセルの説明図である。

【図11】本発明者が先に検討した更に別のメモリセルの説明図である。

【図12】図11のメモリセルに対する選択、非選択のバイアス関係を例示した説明図である。

【図13】不揮発性半導体メモリ装置の一例を示すブロック図である。

【図14】本発明に係る第1形態の不揮発性メモリセルを第1の書き込み・読み出し形態に着目して示す断面図である。

【図15】本発明に係る第1形態の不揮発性メモリセル

を第2の書き込み・読み出し形態に着目して示す断面図である。

【図16】図14及び図15のメモリセルのレイアウトパターンである。

【図17】第1形態のメモリセルに対する第1のページ消去動作のバイアス条件を示す回路図である。

【図18】第1形態のメモリセルに対する第1のチップ消去動作のバイアス条件を示す回路図である。

【図19】第1形態のメモリセルに対する第1の書き込み動作のバイアス条件を示す回路図である。

【図20】第1形態のメモリセルに対する第1の読み出し動作のバイアス条件を示す回路図である。

【図21】第1形態のメモリセルに対する第2のページ消去動作のバイアス条件を示す回路図である。

【図22】第1形態のメモリセルに対する第2のチップ消去動作のバイアス条件を示す回路図である。

【図23】第1形態のメモリセルに対する第2の書き込み動作のバイアス条件を示す回路図である。

【図24】第1形態のメモリセルに対する第2の読み出し動作のバイアス条件を示す回路図である。

【図25】メモリセルアレイ及び周辺回路の一例を示すブロック図である。

【図26】メモリ動作を代表的に示すフローチャートである。

【図27】第1形態のメモリセルを含むメモリセルアレイの第1構成例(A)を示すレイアウトパターンである。

【図28】第1形態のメモリセルを含むメモリセルアレイの第1構成例(A)を示す回路図である。

【図29】第1形態のメモリセルを含むメモリセルアレイの第2構成例(B)を示すレイアウトパターンである。

【図30】第1形態のメモリセルを含むメモリセルアレイの第2構成例(B)を示す回路図である。

【図31】第1形態のメモリセルを含むメモリセルアレイの第3構成例(C)を示すレイアウトパターンである。

【図32】第1形態のメモリセルを含むメモリセルアレイの第3構成例(C)を示す回路図である。

【図33】第1形態のメモリセルを含むメモリセルアレイの第4構成例(D)を示すレイアウトパターンである。

【図34】第1形態のメモリセルを含むメモリセルアレイの第4構成例(D)を示す回路図である。

【図35】第1形態のメモリセルの製造工程における第1段階を示すデバイス断面図である。

【図36】第1形態のメモリセルの製造工程における第2段階を示すデバイス断面図である。

【図37】第1形態のメモリセルの製造工程における第3段階を示すデバイス断面図である。

【図38】第1形態のメモリセルの製造工程における第4段階を示すデバイス断面図である。

【図39】第1形態のメモリセルの製造工程における第5段階を示すデバイス断面図である。

【図40】第1形態のメモリセルの製造工程における第5段階を示す他のデバイス断面図である。

【図41】本発明に係る第2形態の不揮発性メモリセルを第1の書き込み・読み出し形態に着目して示す断面図である。

【図42】本発明に係る第2形態の不揮発性メモリセルを第2の書き込み・読み出し形態に着目して示す断面図である。

【図43】第2形態の不揮発性メモリセルのレイアウトパターンである。

【図44】第2形態の不揮発性メモリセルを用いたメモリセルアレイのレイアウトパターンである。

【図45】第2形態のメモリセルの製造工程における第1段階を示すデバイス断面図である。

【図46】第2形態のメモリセルの製造工程における第2段階を示すデバイス断面図である。

【図47】第2形態のメモリセルの製造工程における第3段階を示すデバイス断面図である。

【図48】第2形態のメモリセルの製造工程における第4段階を示すデバイス断面図である。

【図49】第2形態のメモリセルの製造工程における第5段階を示すデバイス断面図である。

【図50】第2形態のメモリセルの製造工程における第6段階を示すデバイス断面図である。

【図51】第2形態のメモリセルの製造工程における第6段階を示す他のデバイス断面図である。

【図52】本発明に係る第3形態の不揮発性メモリセルを示す断面図である。

【図53】本発明に係る第3形態の不揮発性メモリセルを示すレイアウトパターンである。

【図54】第3形態のメモリセルに対するページ消去動作のバイアス条件を示す回路図である。

【図55】第3形態のメモリセルに対するチップ消去動作のバイアス条件を示す回路図である。

【図56】第3形態のメモリセルに対する書き込み動作のバイアス条件を示す回路図である。

【図57】第3形態のメモリセルに対する読み出し動作のバイアス条件を示す回路図である。

【図58】第3形態のメモリセルを含むメモリセルアレイの第1構成例(A)を示すレイアウトパターンである。

【図59】第3形態のメモリセルを含むメモリセルアレイの第1構成例(A)を示す回路図である。

【図60】第3形態のメモリセルを含むメモリセルアレイの第2構成例(B)を示すレイアウトパターンである。

【図61】第3形態のメモリセルを含むメモリセルアレイの第2構成例(B)を示す回路図である。

【図62】第3形態のメモリセルを含むメモリセルアレイの第3構成例(C)を示すレイアウトパターンである。

【図63】第3形態のメモリセルを含むメモリセルアレイの第3構成例(C)を示す回路図である。

【図64】第3形態のメモリセルを含むメモリセルアレイの第4構成例(D)を示すレイアウトパターンである。

【図65】第3形態のメモリセルを含むメモリセルアレイの第4構成例(D)を示す回路図である。

【図66】第3形態のメモリセルの製造工程における第1段階を示すデバイス断面図である。

【図67】第3形態のメモリセルの製造工程における第2段階を示すデバイス断面図である。

【図68】第3形態のメモリセルの製造工程における第3段階を示すデバイス断面図である。

【図69】第3形態のメモリセルの製造工程における第4段階を示すデバイス断面図である。

【図70】第3形態のメモリセルの製造工程における第4段階を示す他のデバイス断面図である。

【図71】本発明に係る第4形態の不揮発性メモリセルを示す断面図である。

【図72】本発明に係る第4形態の不揮発性メモリセルを示すレイアウトパターンである。

【図73】第4形態のメモリセルに対するページ消去動作のバイアス条件を示す回路図である。

【図74】第4形態のメモリセルに対するチップ消去動作のバイアス条件を示す回路図である。

【図75】第4形態のメモリセルに対するSSI(ソース・サイド・インジェクション)書き込み動作のバイアス条件を示す回路図である。

【図76】第4形態のメモリセルに対するSSI読み出し動作のバイアス条件を示す回路図である。

【図77】第4形態のメモリセルに対するDSI(ドレイン・サイド・インジェクション)書き込み動作のバイアス条件を示す回路図である。

【図78】第4形態のメモリセルに対するDSI読み出し動作のバイアス条件を示す回路図である。

【図79】第4形態のメモリセルを含むメモリセルアレイの第1構成例(A)を示すレイアウトパターンである。

【図80】第4形態のメモリセルを含むメモリセルアレイの第1構成例(A)を示す回路図である。

【図81】第4形態のメモリセルを含むメモリセルアレイの第2構成例(B)を示すレイアウトパターンである。

【図82】第4形態のメモリセルを含むメモリセルアレイの第2構成例(B)を示す回路図である。

【図83】第4形態のメモリセルを含むメモリセルアレイの第3構成例(C)を示すレイアウトパターンである。

【図84】第4形態のメモリセルを含むメモリセルアレイの第3構成例(C)を示す回路図である。

【図85】第4形態のメモリセルを含むメモリセルアレイの第4構成例(D)を示すレイアウトパターンである。

【図86】第4形態のメモリセルを含むメモリセルアレイの第4構成例(D)を示す回路図である。

【図87】第4形態のメモリセルの製造工程における第1段階を示すデバイス断面図である。

【図88】第4形態のメモリセルの製造工程における第2段階を示すデバイス断面図である。

【図89】第4形態のメモリセルの製造工程における第3段階を示すデバイス断面図である。

【図90】第4形態のメモリセルの製造工程における第4段階を示すデバイス断面図である。

【図91】第4形態のメモリセルの製造工程における第5段階を示すデバイス断面図である。

【図92】本発明に係る第5形態のメモリセルの製造工程における第1段階を示すデバイス断面図である。

【図93】第5形態のメモリセルの製造工程における第2段階を示すデバイス断面図である。

【図94】第5形態のメモリセルの製造工程における第3段階を示すデバイス断面図である。

【図95】本発明に係る第6形態に係るメモリセルの斜視図である。

【図96】第6形態のメモリセルの断面構造図である。

【図97】第6形態のメモリセルのレイアウトパターンである。

【図98】第6形態のメモリセルに対するメモリ動作の電圧バイアス条件を示す回路図である。

【図99】第6形態のメモリセルを含むメモリセルアレイの第1構成例(A&B)を示すレイアウトパターンである。

【図100】第6形態のメモリセルを含むメモリセルアレイの第1構成例(A&B)を示す回路図である。

【図101】第6形態のメモリセルを含むメモリセルアレイの第2構成例(C&D)を示すレイアウトパターンである。

【図102】第6形態のメモリセルを含むメモリセルアレイの第2構成例(C&D)を示す回路図である。

【図103】第6形態のメモリセルの製造工程における第1段階を示すデバイス断面図である。

【図104】第6形態のメモリセルの製造工程における第2段階を示すデバイス断面図である。

【図105】第6形態のメモリセルの製造工程における第3段階を示すデバイス断面図である。

【図106】第6形態のメモリセルの製造工程における

第4段階を示すデバイス断面図である。

【図107】第6形態のメモリセルの製造工程における第5段階を示すデバイス断面図である。

【図108】第6形態のメモリセルの製造工程における第6段階を示すデバイス断面図である。

【図109】本発明に係る第7形態のメモリセルを示す断面構造図である。

【図110】第7形態のメモリセルの製造工程における第1段階を示すデバイス断面図である。

【図111】第7形態のメモリセルの製造工程における第2段階を示すデバイス断面図である。

【図112】第7形態のメモリセルの製造工程における第3段階を示すデバイス断面図である。

【図113】第7形態のメモリセルの製造工程における第4段階を示すデバイス断面図である。

【図114】第7形態のメモリセルの製造工程における第5段階を示すデバイス断面図である。

【図115】図3、4に示されるNROMの読み出しメモリ電流とメモリゲート電圧との関係を示す特性図である。

【図116】第1形態、第2形態、及び第3形態のメモリセルにおける読み出しメモリ電流とメモリゲート電圧との関係を示す特性図である。

【図117】第4形態及び第5形態のメモリセルにおける読み出しメモリ電流とメモリゲート電圧との関係を示す特性図である。

【図118】第6形態及び第7形態のメモリセルにおける読み出しメモリ電流とメモリゲート電圧との関係を示す特性図である。

【図119】第1、第2、第3形態のメモリセルの消去、書込み及び読み出し動作の第1のタイミングチャートである。

【図120】第1、第2、第3形態のメモリセルの消去、書込み及び読み出し動作の第2のタイミングチャートである。

【図121】第4、第5形態のメモリセルに対する消去、SSIとDSIによる書込み、及び読み出し動作の第1のタイミングチャートである。

【図122】第4、第5形態のメモリセルに対する消去、SSIとDSIによる書込み、及び読み出し動作の第2のタイミングチャートである。

【図123】第4、第5形態のメモリセルに対する消去、SSIによる書込み、及び読み出し動作の第1のタイミングチャートである。

【図124】第4、第5形態のメモリセルに対する消去、SSIによる書込み、及び読み出し動作の第2のタイミングチャートである。

【符号の説明】

1 半導体基板

2, 2-1, 2-2 フローティングゲート電極

4, 4-1, 4-2 拡散層

5 ワード線

6-1, 6-2, 6A スイッチゲート電極

7, 7-1, 7-2 メモリゲート電極

Trmc メモリトランジスタ部

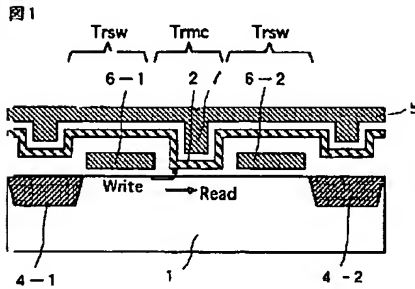
Trsw スイッチトランジスタ部

51 メモリアレイ

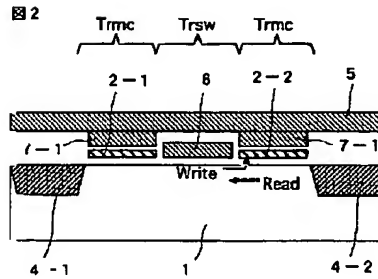
20, 20-1, 20-1 反転層

MC メモリセル

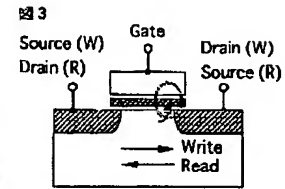
【図1】



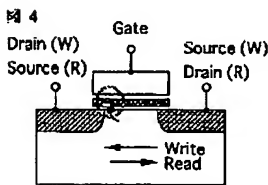
【図2】



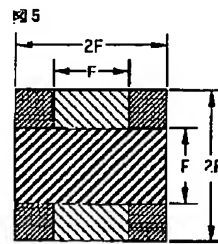
【図3】



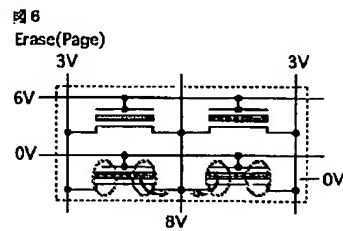
【図4】



【図5】

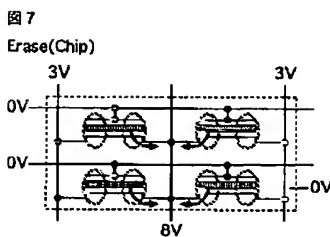


【図6】

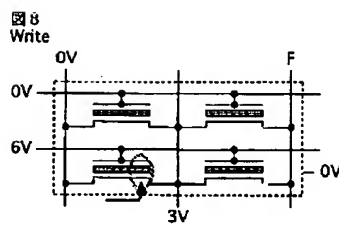


【図9】

【図7】



【図8】

図9

Read

【図10】

図10

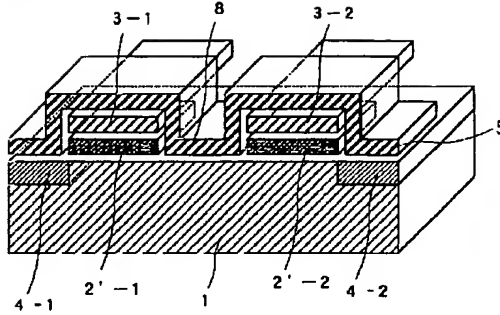
【図14】

図14



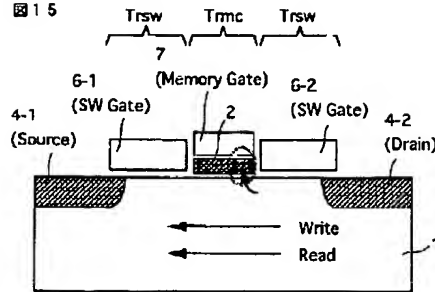
【図11】

図11



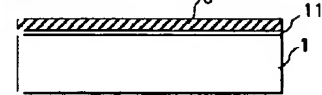
【図15】

図15



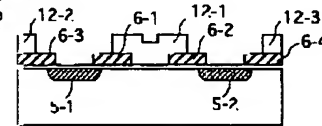
【図35】

図35

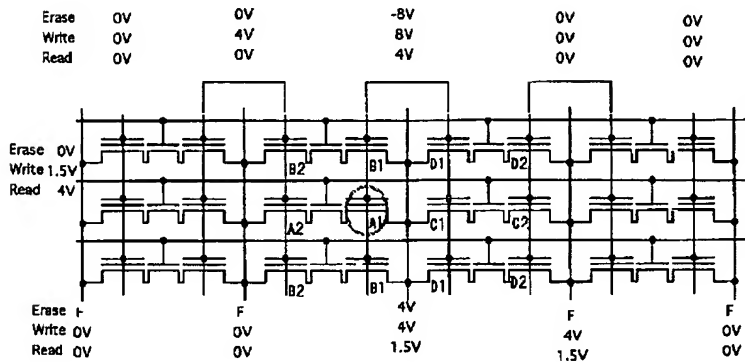


【図36】

図36



【図12】



【図16】

【図17】

図16

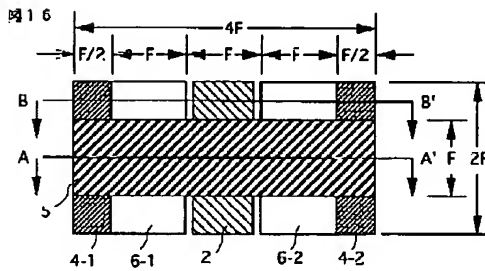
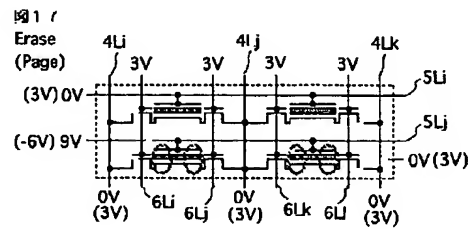


図17



【図18】

【図19】

図18

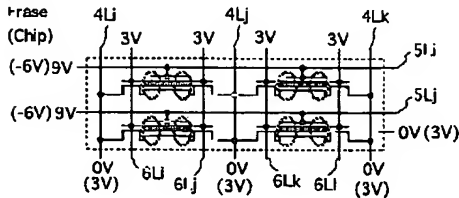
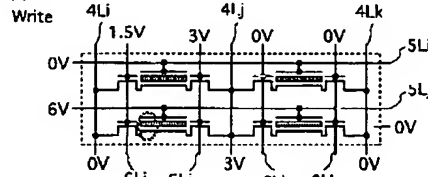
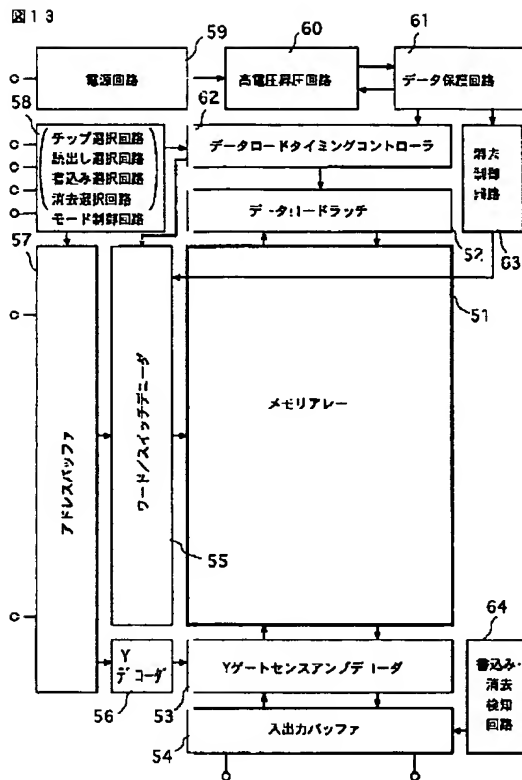


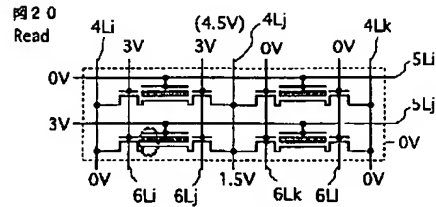
図19



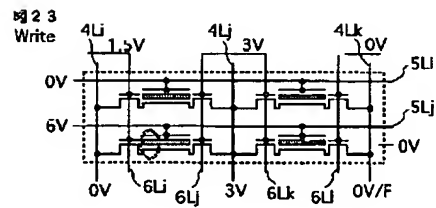
【図13】



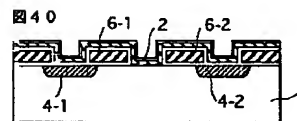
【図20】



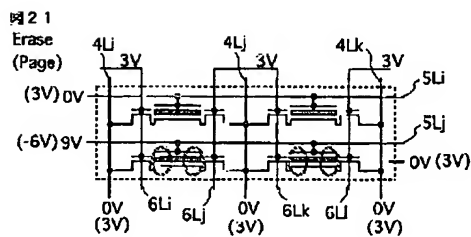
【図23】



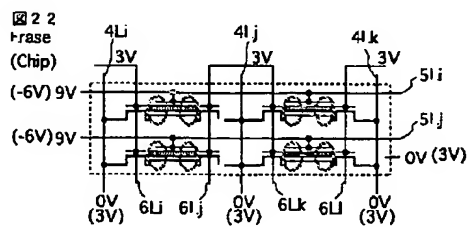
【図40】



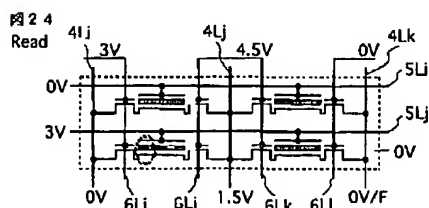
【図21】



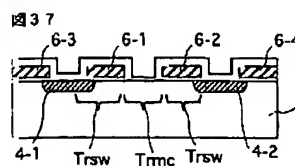
【図22】



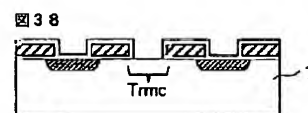
【図24】



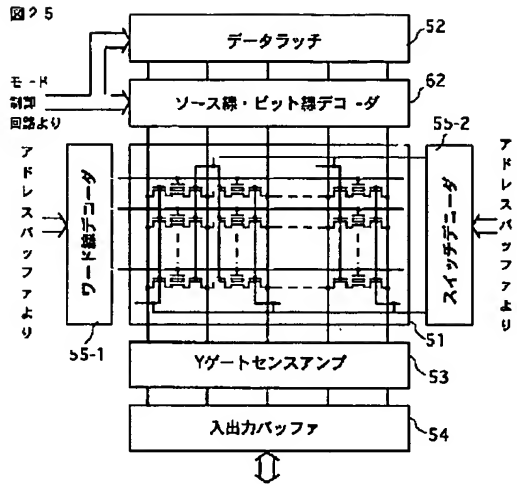
【図37】



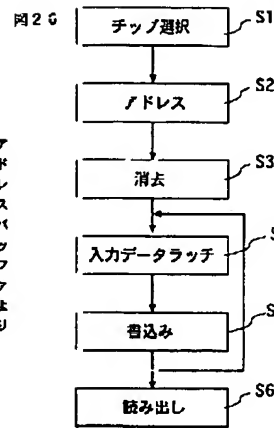
【図38】



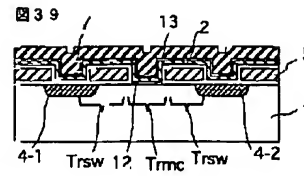
【図25】



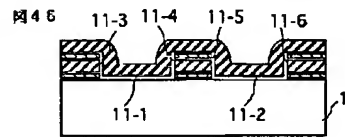
【図26】



【図39】

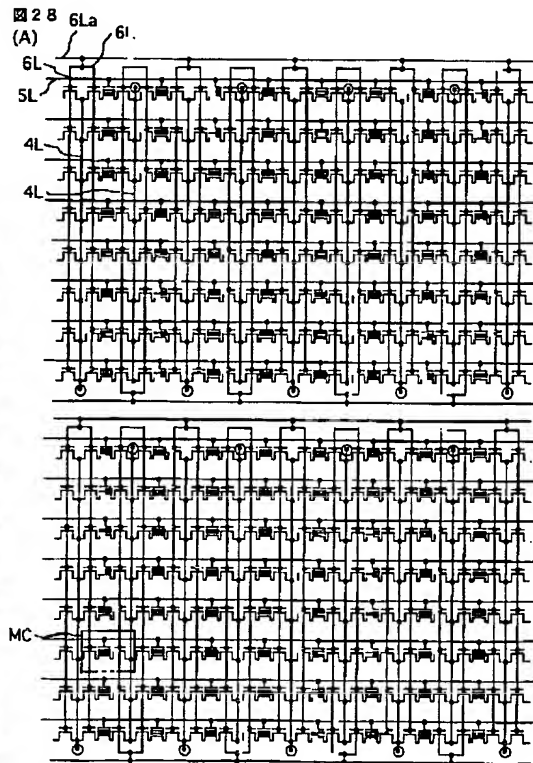
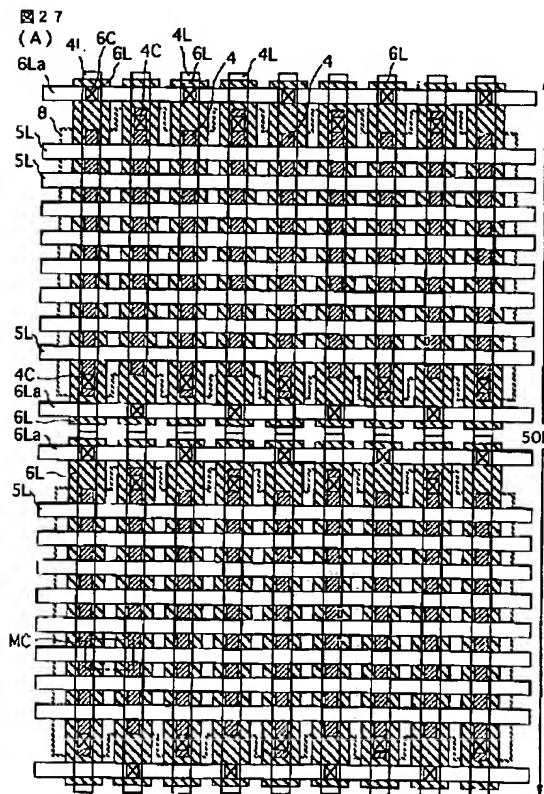


【図46】

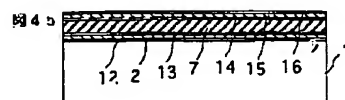


【図28】

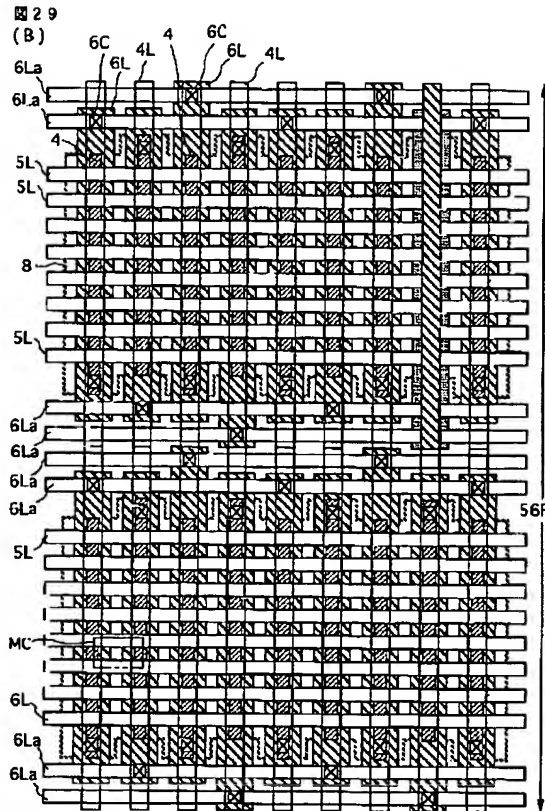
【図27】



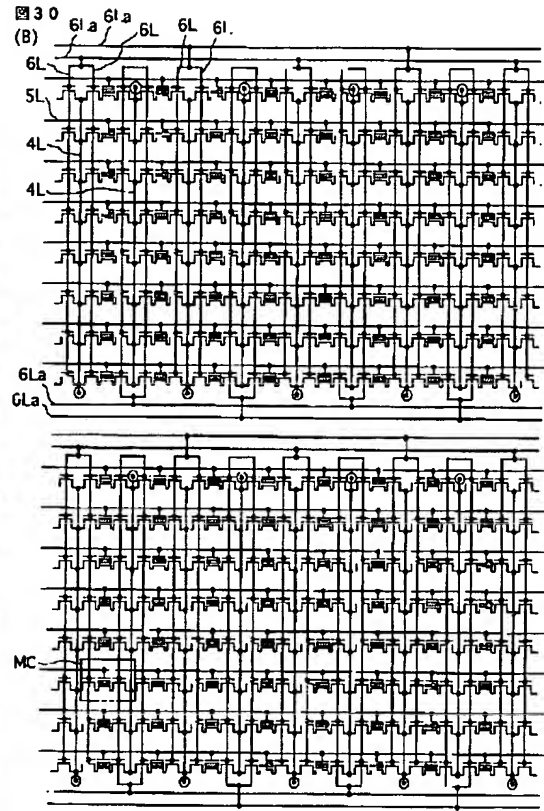
【図45】



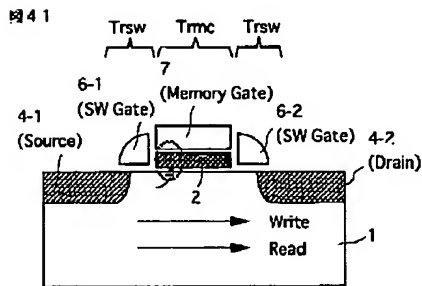
【図29】



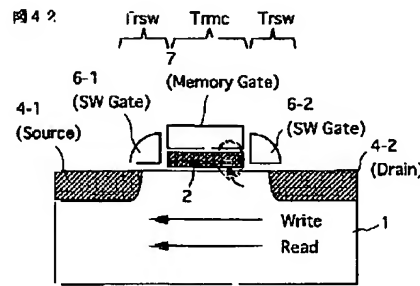
【図30】



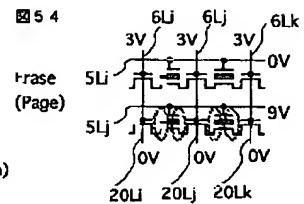
【図41】



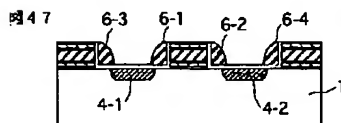
【図42】



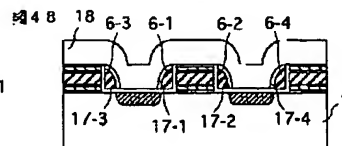
【図54】



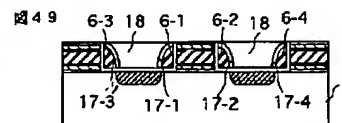
【図47】



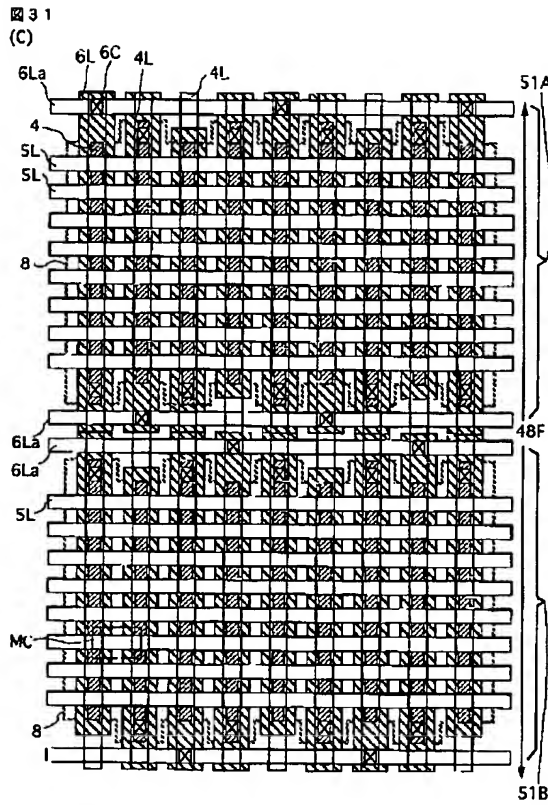
【図48】



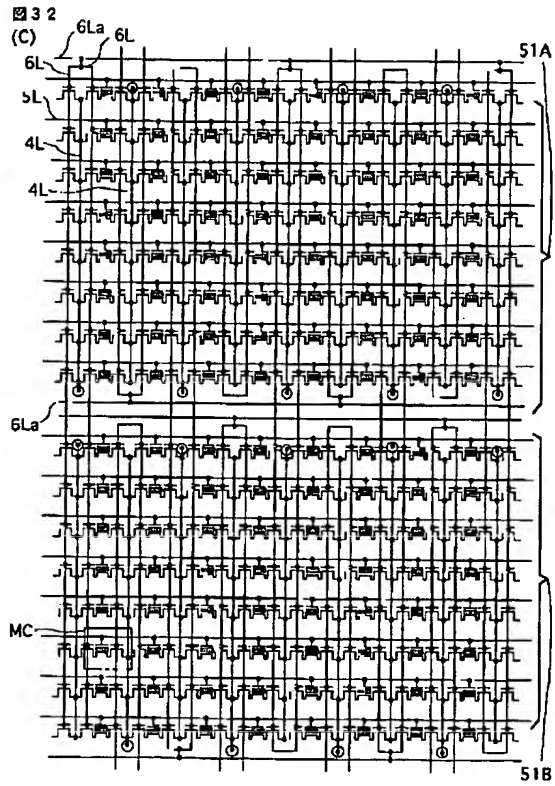
【図49】



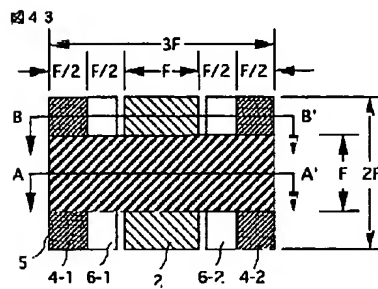
【図31】



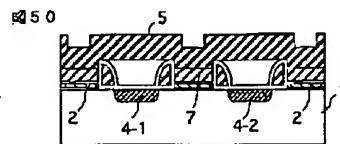
【図32】



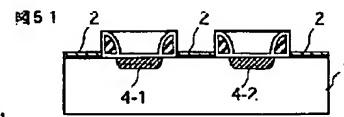
【図43】



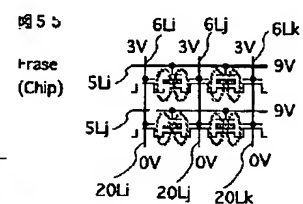
【図50】



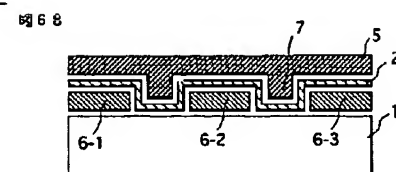
【図51】



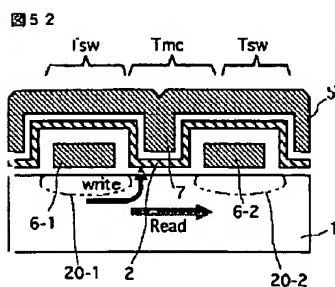
【図55】



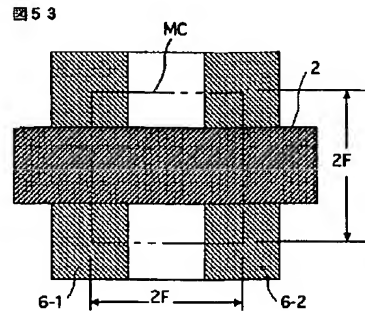
【図68】



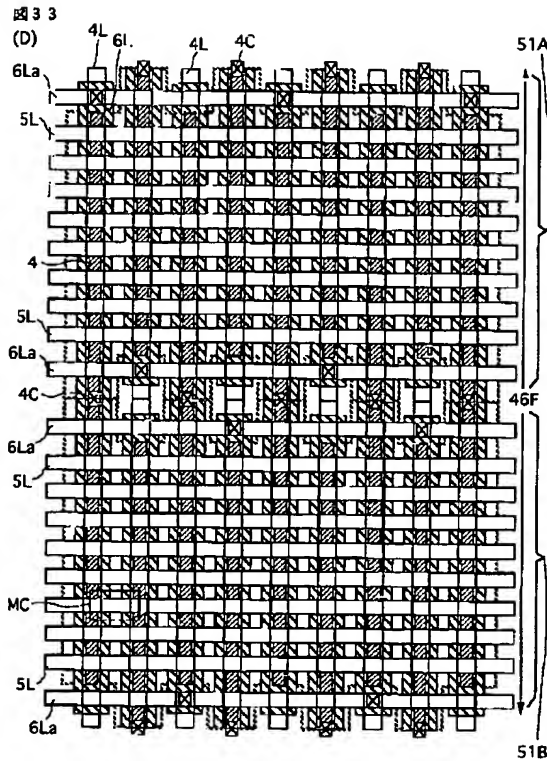
【図52】



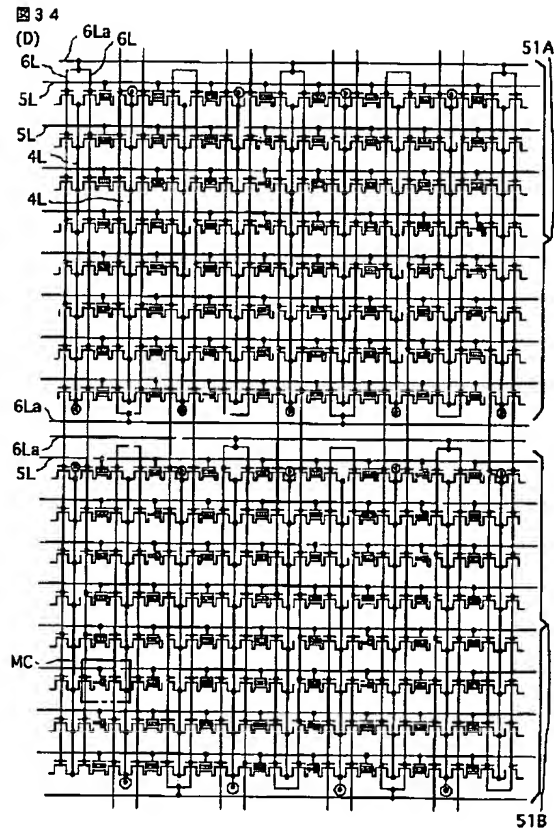
【図53】



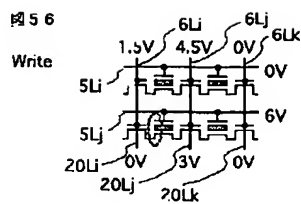
【图33】



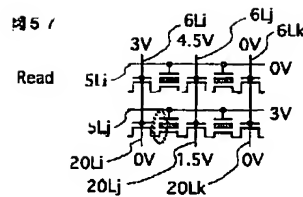
【图34】



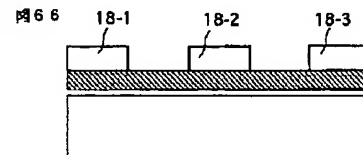
【图56】



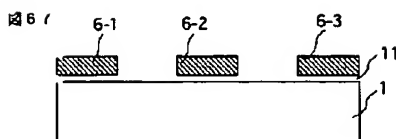
【图57】



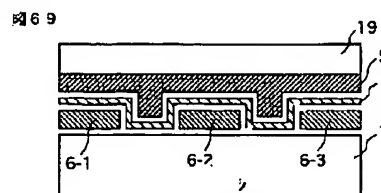
【图66】



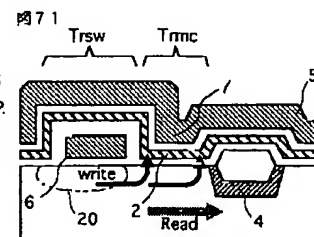
【图67】



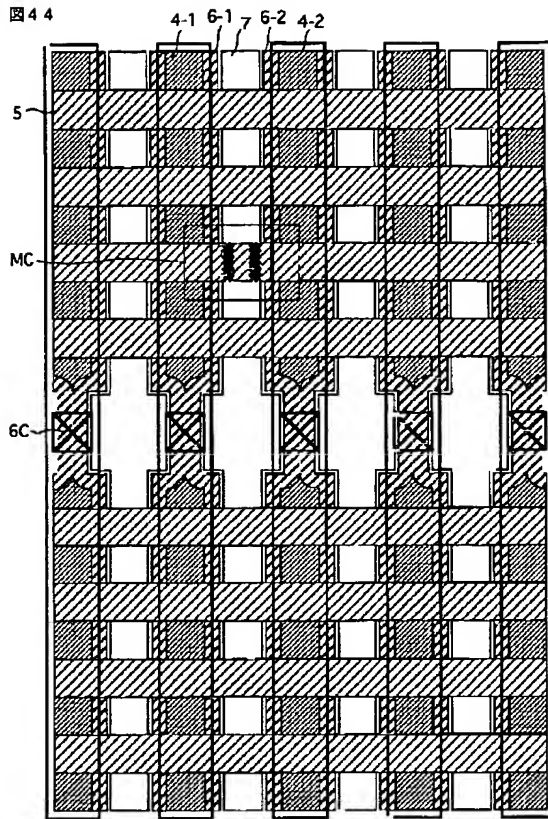
【图69】



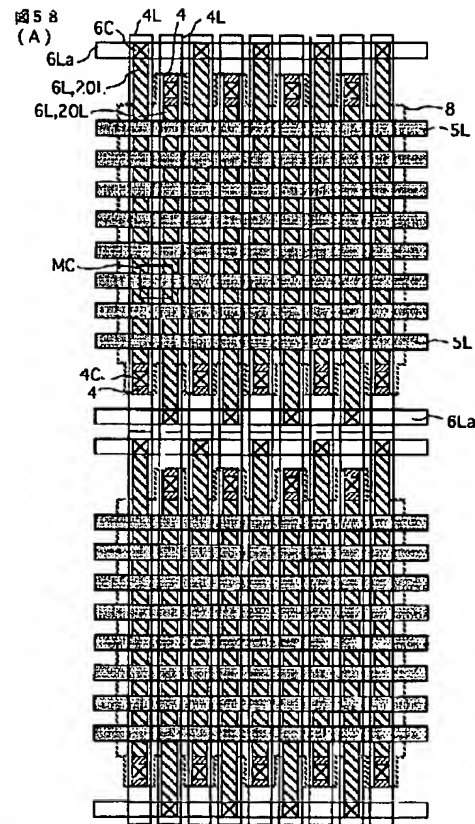
【图71】



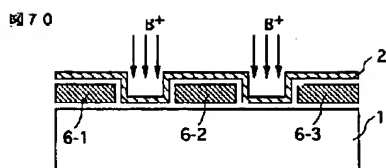
【図44】



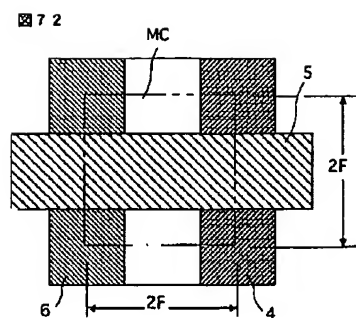
【図58】



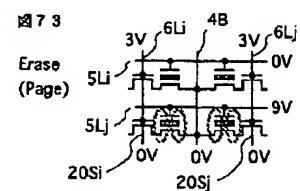
【図70】



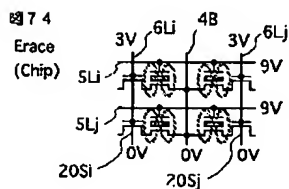
【図72】



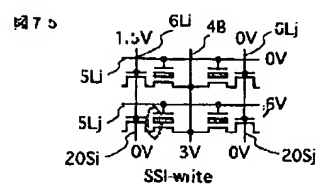
【図73】



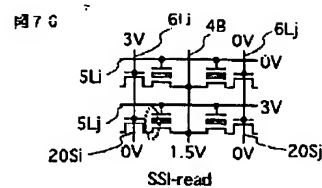
【図74】



【図75】

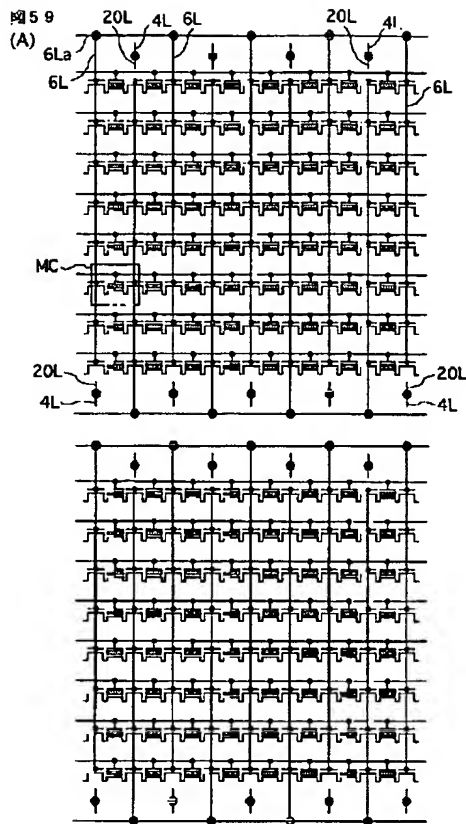


【図76】

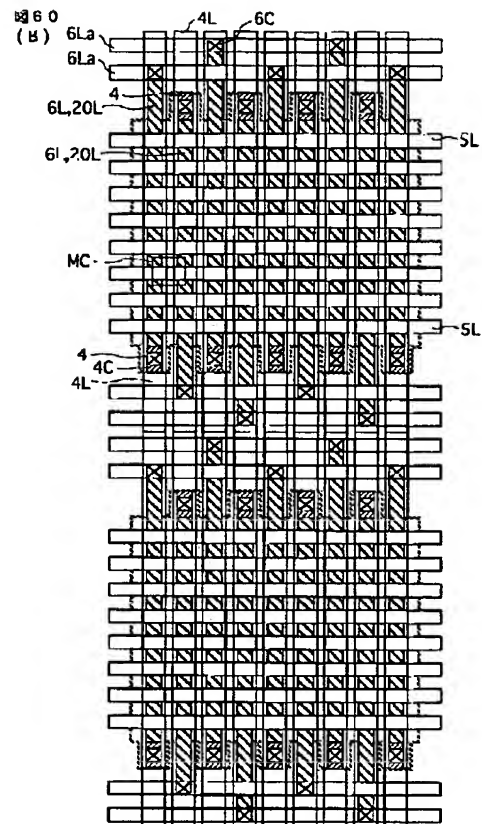




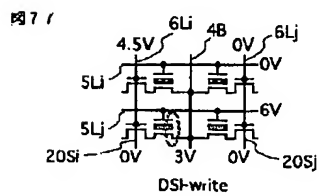
【図59】



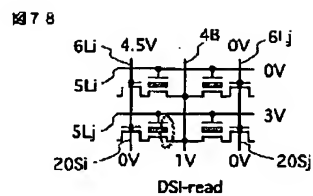
【図60】



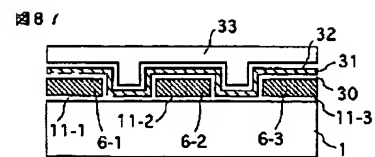
【図77】



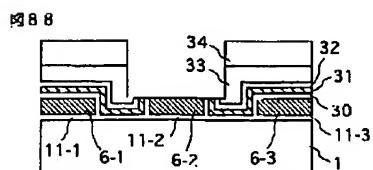
【図78】



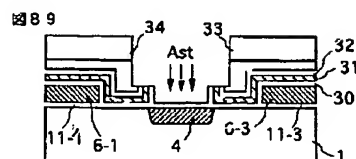
【図87】



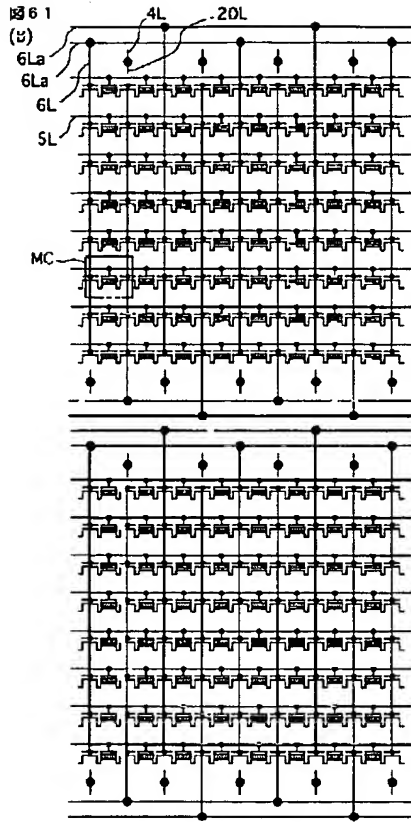
【図88】



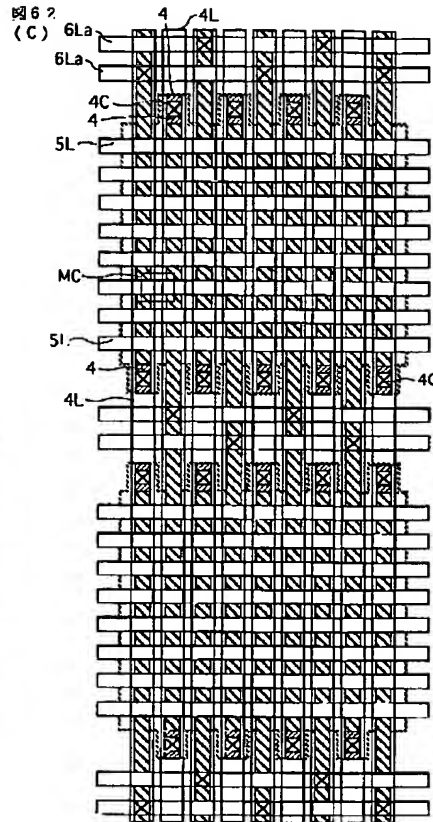
【図89】



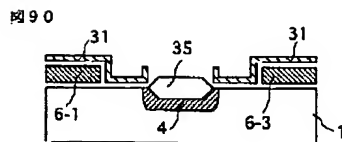
【図61】



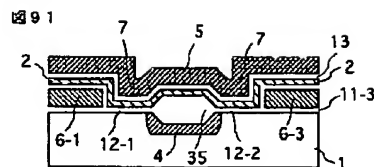
【図62】



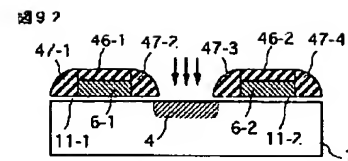
【図90】



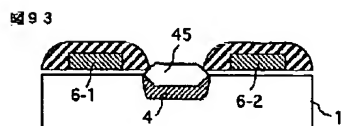
【図91】



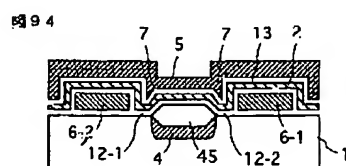
【図92】



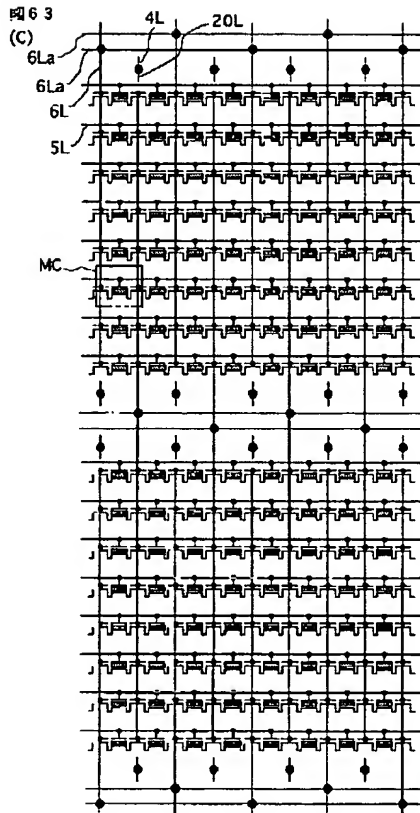
【図93】



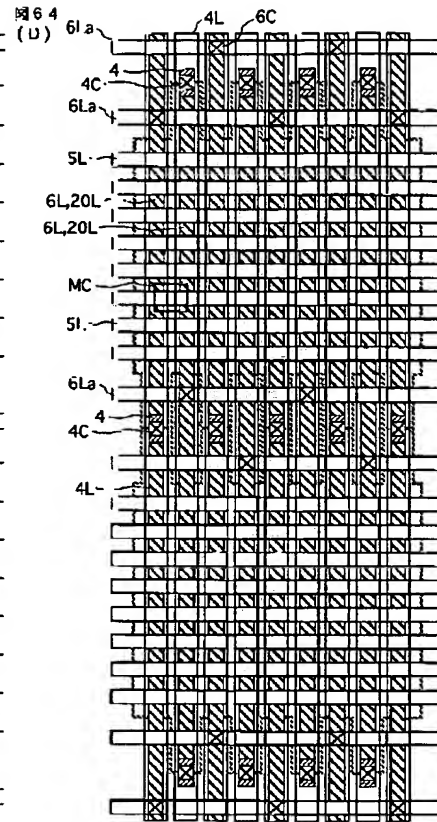
【図94】



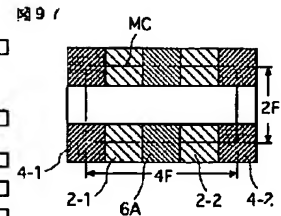
【図63】



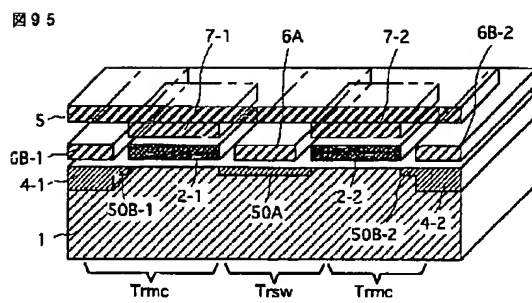
【図64】



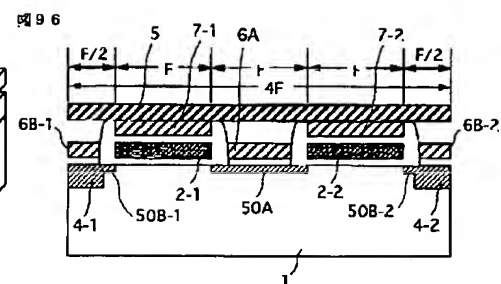
【図97】



【図95】



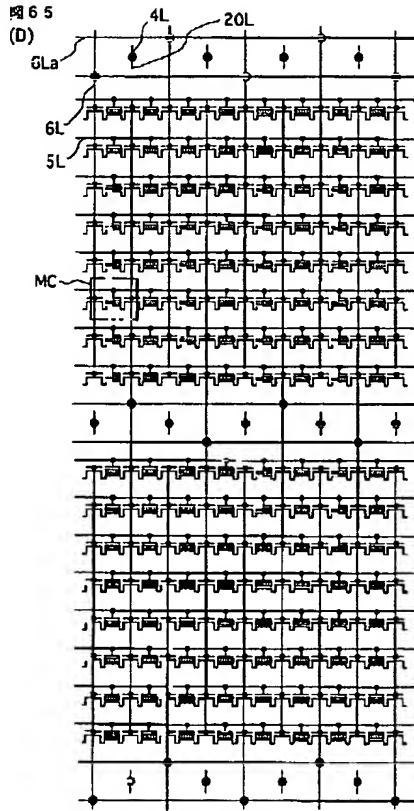
【図96】



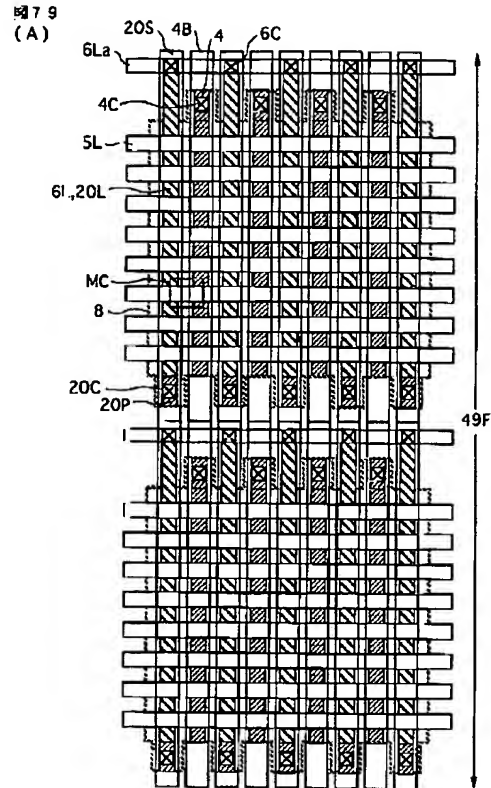
【図103】



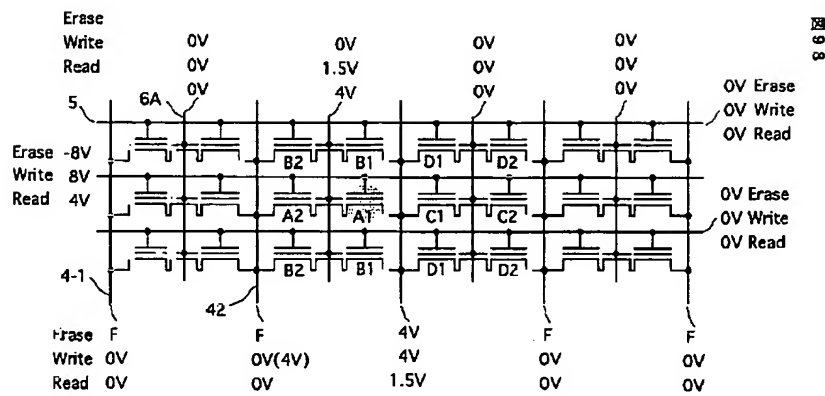
【図65】



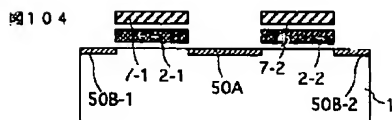
【図79】



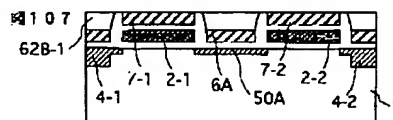
【図98】



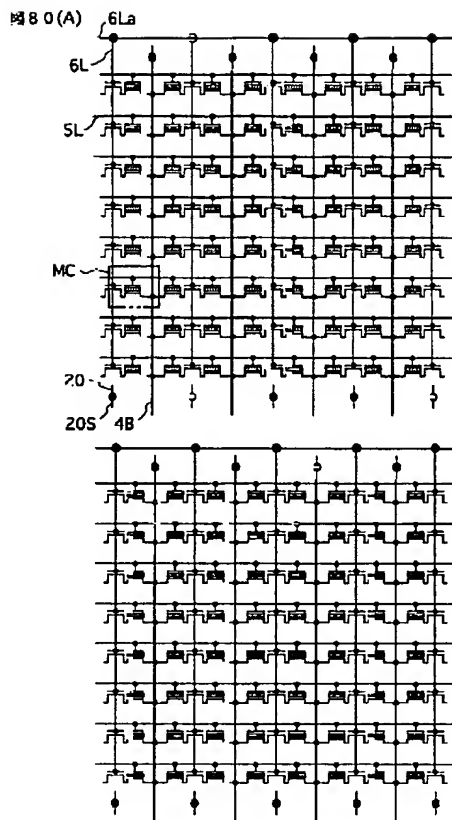
【図104】



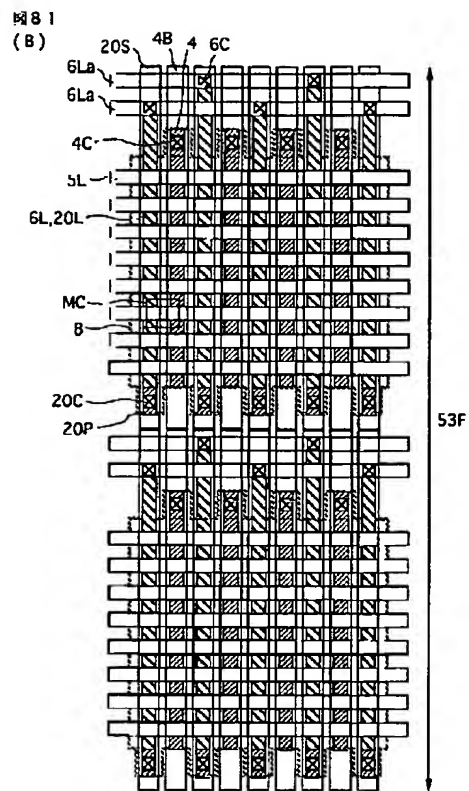
【図107】



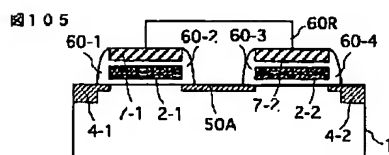
【图80】



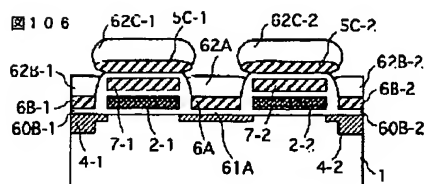
【图81】



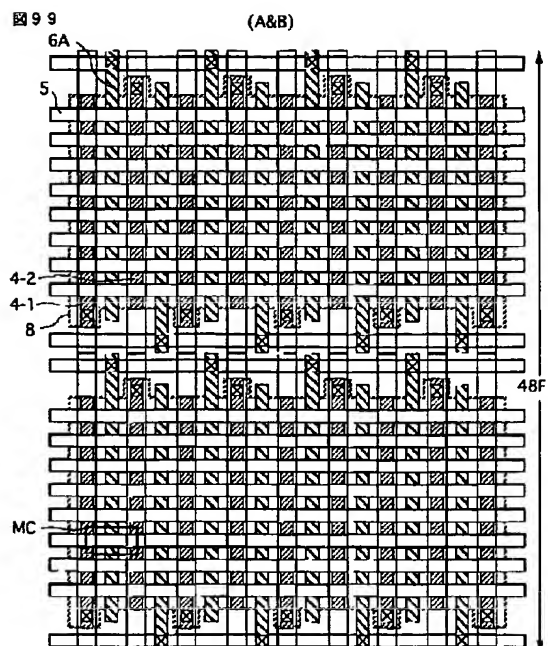
【图105】



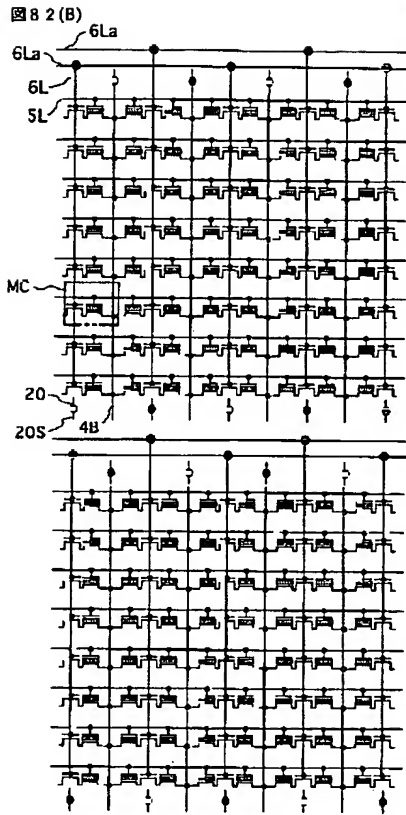
【图106】



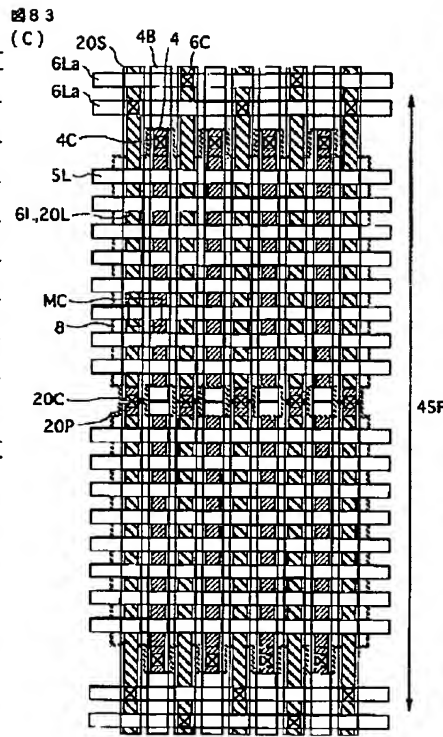
【图99】



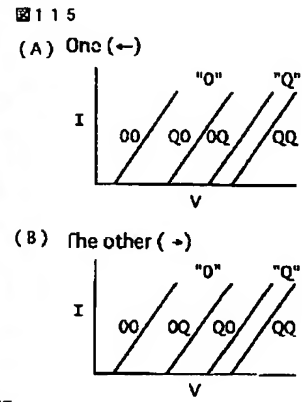
【図82】



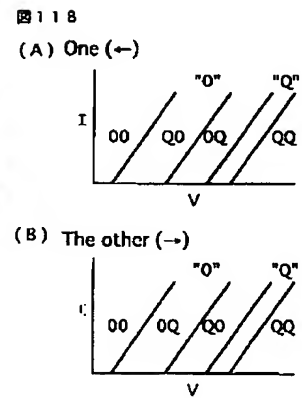
【図83】



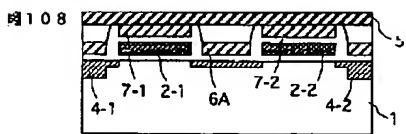
【図115】



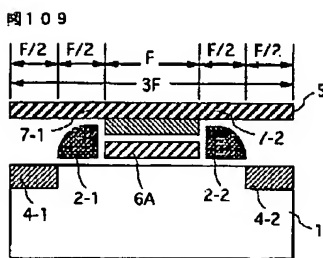
【図118】



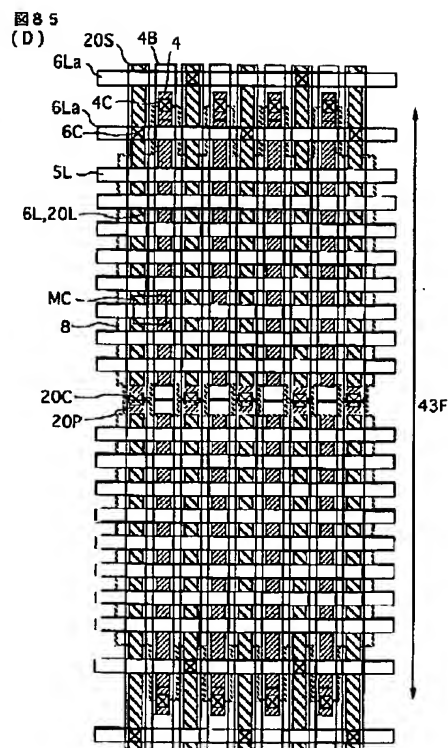
【図108】



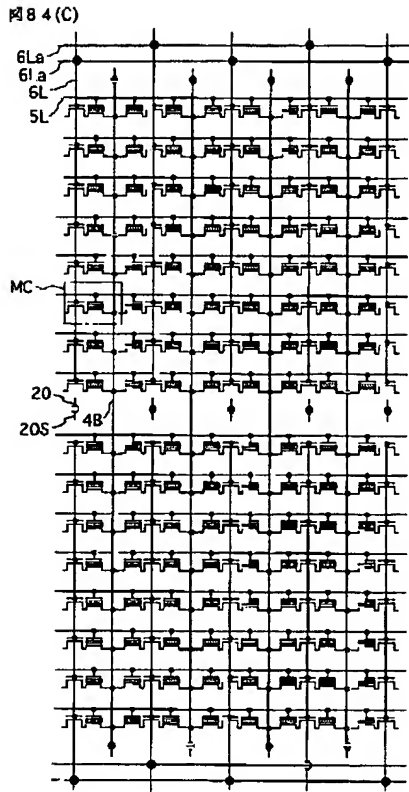
【図109】



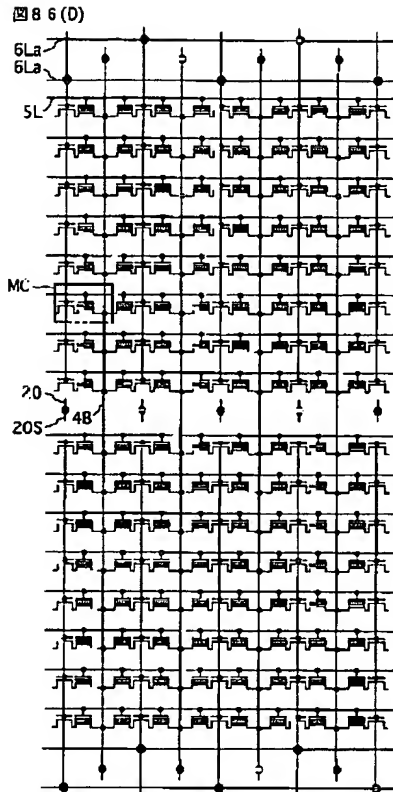
【図85】



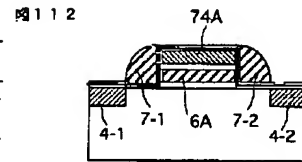
【図84】



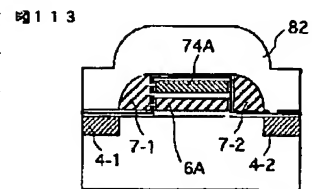
【図86】



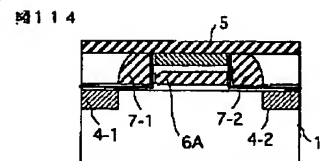
【図112】



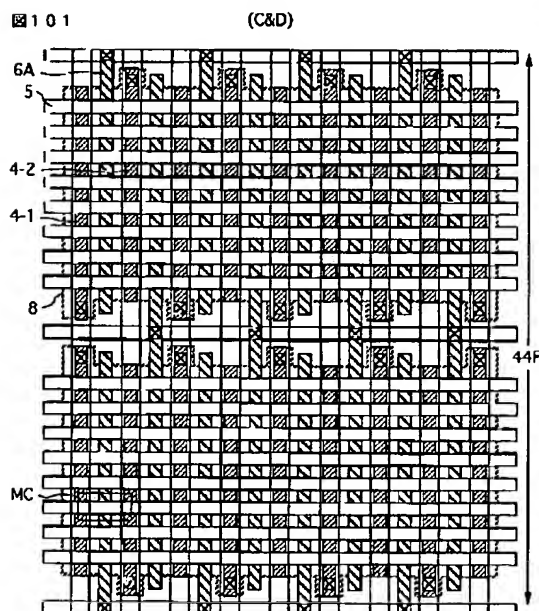
【図113】



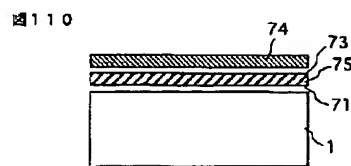
【図114】



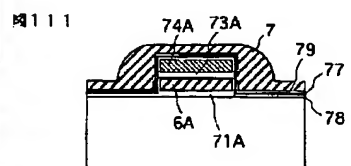
【図101】



【図110】

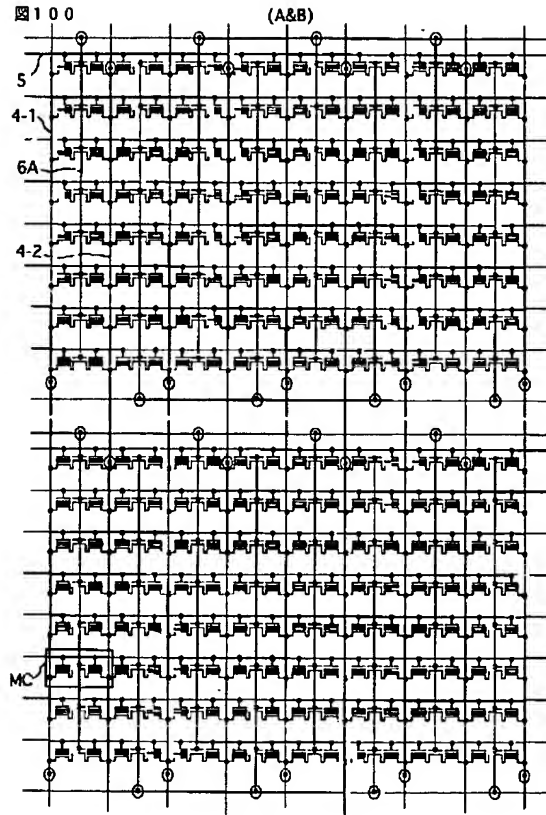


【図111】

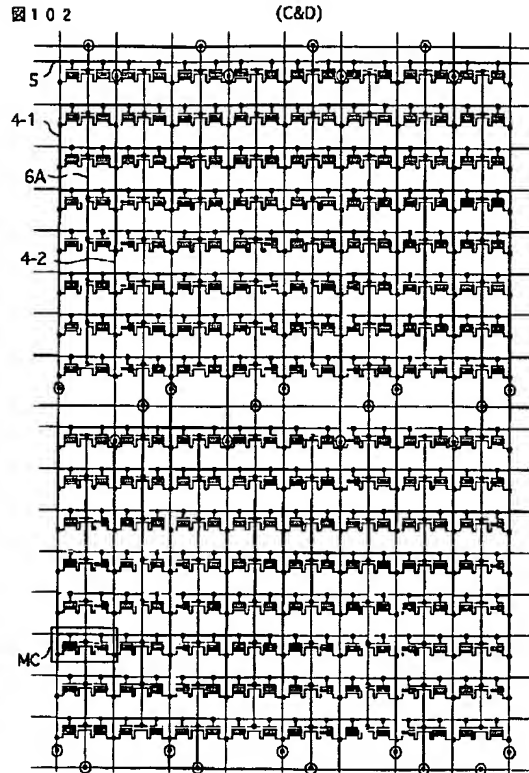




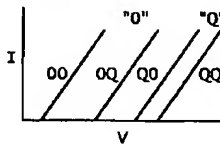
【図100】



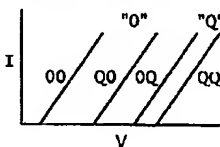
【図102】



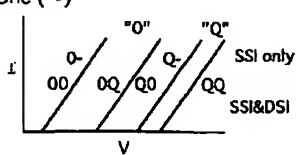
【図116】

図116  
(A) One (→)

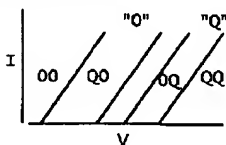
(B) The other (←)



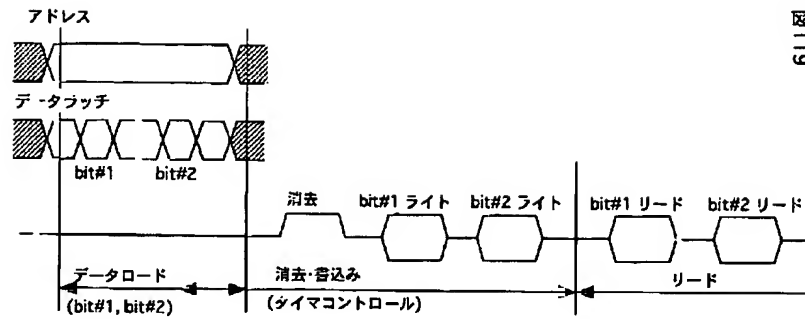
【図117】

図117  
(A) One (→)

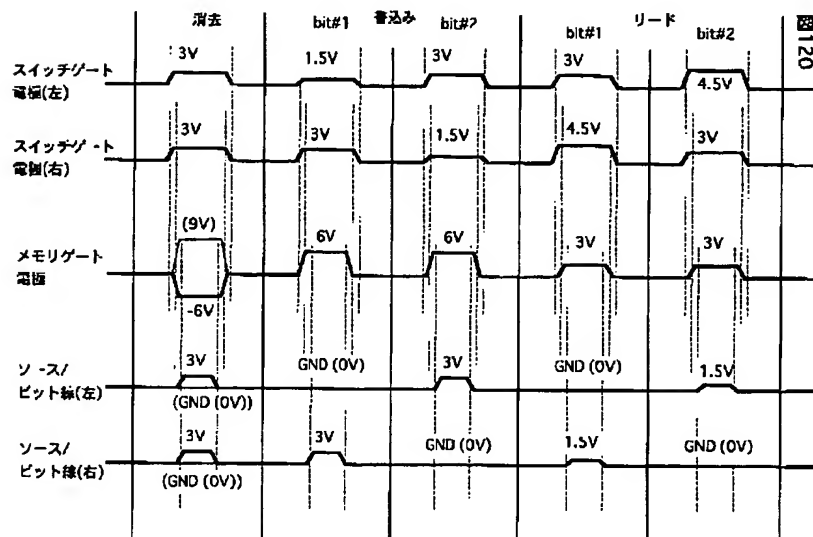
(B) The other (←)



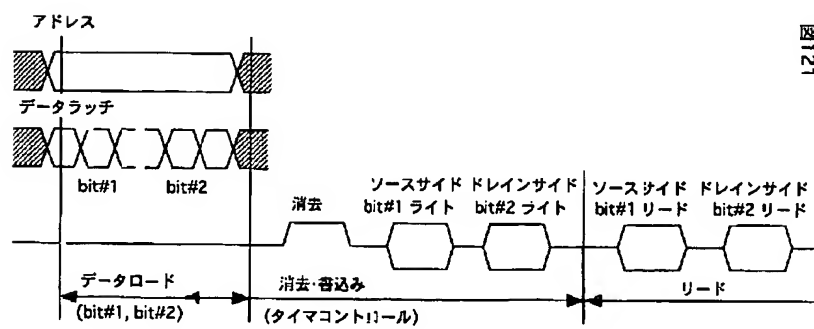
【図119】



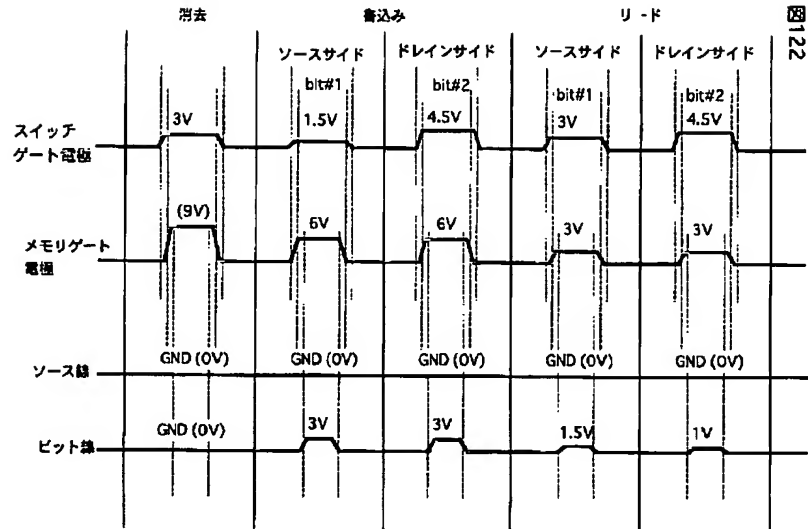
【図120】



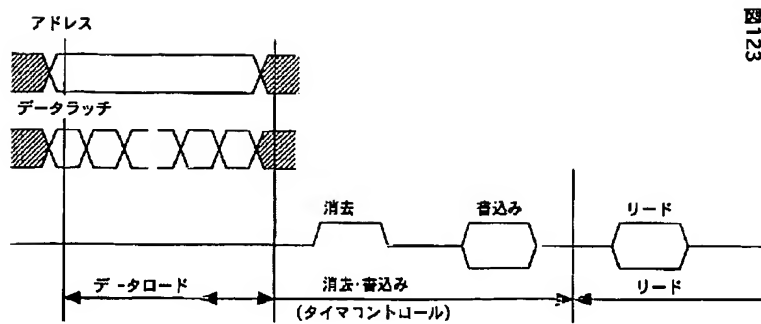
【図121】



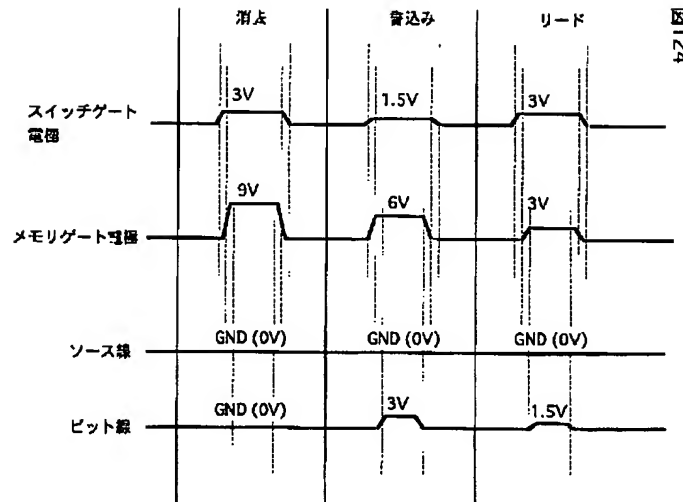
【図122】



【図123】



【図124】



フロントページの続き

(51) Int. Cl.<sup>7</sup>H01L 29/788  
29/792

識別記号

FI

H01L 29/78

371

(参考)

(72) 発明者 片山 弘造

東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72) 発明者 加藤 正高

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内Fターム(参考) 5B025 AA02 AC00 AC01 AD08 AE05  
AE08

5F001 AA14 AB20 AC02 AC06 AD16

AD19 AD41 AD52 AD62 AE02

AE03 AE08 AF20 AG07

5F083 EP18 EP33 EP34 EP36 EP49

EP65 EP70 ER02 ER05 ER06

ER17 ER21 ER22 GA01 GA09

JA05 JA39 KA08 LA12 LA16

LA20 NA04 PR07 PR12 PR21

PR29 PR39 PR40 ZA13 ZA21

5F101 BA46 BB03 BC02 BC11 BD06

BD10 BD22 BD33 BD37 BE02

BE05 BE07 BF05 BH19